

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-163999

(P2000-163999A)

(43) 公開日 平成12年6月16日 (2000.6.16)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
G 1 1 C 29/00	6 7 1	C 1 1 C 29/00	6 7 1 Z 5 B 0 2 4
G 0 6 F 1/06		H 0 3 L 7/00	D 5 B 0 7 9
	1/10	H 0 3 K 5/135	5 J 0 0 1
G 1 1 C 11/407		G 0 6 F 1/04	3 1 2 A 5 J 1 0 6
H 0 3 L 7/00			3 3 0 A 5 L 1 0 6

審査請求 未請求 請求項の数 8 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願平10-331364

(22) 出願日 平成10年11月20日 (1998. 11. 20)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 谷口 暢孝

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72) 発明者 富田 浩由

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(74) 代理人 100094525

弁理士 土井 健二 (外1名)

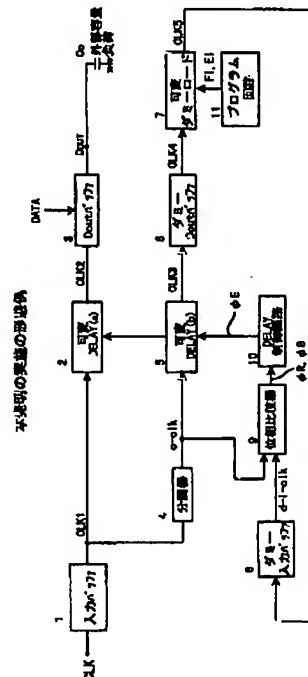
最終頁に続く

(54) 【発明の名称】 セルフタイミングコントロール回路

(57) 【要約】

【課題】 D L L回路を利用したセルフタイミングコントロール回路が生成するタイミングクロックの調整された位相が、製造ばらつきにより最適値から変動することを防止する。

【解決手段】 本発明のセルフタイミングコントロール回路は、容量負荷が固定されたダミーロードの代わりに、容量負荷を電氣的に調整可能な可変ダミーロードを設置する。本発明によれば、デバイスのウェハ試験工程において、可変ダミーロードの容量負荷を調整して最適値に設定することができる。最適値に設定された可変ダミーロードの容量負荷は、フューズ等のプログラム可能なメモリ内に設定値が固定される。これにより、製造上のばらつき等によるダミーロード容量負荷の変動を補正することができ、クロック発生器での位相調整をより正確に行うことができる。



【特許請求の範囲】

【請求項1】供給される供給クロックを遅延させて前記供給クロックと所定の位相関係を有するタイミングクロックを生成するセルフタイミングコントロール回路において、

前記供給クロックが入力され、当該供給クロックの周波数に応じて制御された遅延量だけ該供給クロックを遅延させる第1の可変遅延回路と、

前記第1の可変遅延回路に接続され、前記供給クロックの周波数にかかわらず設定された所定の遅延量だけ前記供給クロックを遅延させる追加遅延回路とを有し、

前記追加遅延回路は、前記遅延量が可変設定される可変ダミーロードを有し、当該遅延量を設定するプログラマブルメモリにより前記可変ダミーロードの遅延量が可変設定されることを特徴とするセルフタイミングコントロール回路。

【請求項2】請求項1において、

更に、前記供給クロックを取り込むクロック入力バッファと、

前記クロック入力バッファにより取り込まれた供給クロックを入力し、前記第1の可変遅延回路と同様に制御された遅延量だけ遅延し、前記タイミングクロックを生成する第2の可変遅延回路と、

前記タイミングクロックに同期して出力信号を出力する出力バッファとを有し、

前記追加遅延回路は、更に、前記クロック入力バッファ及び前記出力バッファと同様の遅延量を有するダミー入力バッファ及びダミー出力バッファとを有し、

前記セルフタイミングコントロール回路は、更に、前記供給クロックと前記第1の可変遅延回路及び追加遅延回路により遅延された可変クロックとを比較し、当該クロックの位相が所定の関係になるように前記第1及び第2の可変遅延回路の遅延量を制御する位相比較・遅延制御回路を有することを特徴とするセルフタイミングコントロール回路。

【請求項3】請求項1または2において、

更に、前記可変ダミーロードの遅延量を外部信号により設定する外部設定回路を有することを特徴とするセルフタイミングコントロール回路。

【請求項4】請求項3において、

更に、前記外部設定回路による前記可変ダミーロードの遅延量の設定と、前記プログラマブルメモリによる前記可変ダミーロードの遅延量の設定とを切り換える切替回路を有することを特徴とするセルフタイミングコントロール回路。

【請求項5】請求項4において、

前記切替回路は、試験モード時に前記外部設定回路による遅延量の設定を活性化し、通常動作モード時に前記プログラマブルメモリによる遅延量の設定を活性化することを特徴とするセルフタイミングコントロール回路。

【請求項6】請求項1または2において、

前記出力バッファが、所定の容量の外部容量負荷に接続される出力端子を有し、

前記可変ダミーロードの容量負荷が、前記外部容量負荷よりも所定の割合だけ小さく、前記ダミー出力バッファの駆動能力が前記出力バッファの駆動能力より前記所定の割合に応じて小さいことを特徴とするセルフタイミングコントロール回路。

【請求項7】請求項1または2において、

前記プログラマブルメモリは、フューズ素子を有するメモリセルからなることを特徴とするセルフタイミングコントロール回路。

【請求項8】請求項1または2において、

前記可変ダミーロードは、可変抵抗または可変容量により構成されることを特徴とするセルフタイミングコントロール回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、外部クロックと所定の位相関係を有するタイミングクロックを生成するセルフタイミングコントロール回路に関し、特に、製造ばらつきなどの理由で所望の位相関係が得られなくなるのを防止することができるセルフタイミングコントロール回路に関する。

【0002】

【従来の技術】同期型のDRAM（SDRAM）など、外部クロックに同期して入力信号を入力し、出力信号を出力する集積回路装置は、高速動作が可能である。かかる集積回路装置は、外部クロックの立ち上がりエッジに同期して、信号の入力及び出力を行う。従来は、外部クロックをそのまま内部のタイミングクロックとして利用していたが、クロックの周波数が高くなるに伴い、集積回路装置内部でのクロックの伝播遅延時間を無視することができなくなった。

【0003】そこで、SDRAMなどの高速の集積回路装置では、内部に外部クロックと位相が一致、或いは所定の位相関係を有するタイミングクロックを生成するセルフタイミングコントロール回路を設けることが提案されている。このセルフタイミングコントロール回路は、例えばDLL（Delay Locked Loop）回路で構成される。

【0004】図1は、従来のDLL回路を利用したセルフタイミングコントロール回路の構成例を示す図である。このDLL回路では、外部クロック信号CLKは、入力バッファ1により取り込まれ、内部クロックCLK1として可変遅延回路2に供給される。可変遅延回路2において、クロックの周波数に応じて制御された遅延時間だけ遅延されて、タイミングクロックCLK2が生成される。出力バッファ3は、このタイミングクロックCLK2に同期して、内部回路からの出力データDATA

を、出力端子Doutに出力する。

【0005】一方、内部クロックCLK1は、分周器4に inputs され、その周波数を1/N分周される。分周された基準クロック信号c-clkは、可変遅延回路5に供給されると同時に、位相比較器の第1入力c-clkとして供給される。可変遅延回路5から出力されるクロック信号CLK3は、ダミー出力バッファ6、固定ダミーロード7及びダミー入力バッファ8からなる追加された固定遅延回路群を経由して位相比較器9の第2入力d-i-clkとして供給される。

【0006】位相比較器9は、2つの入力信号の位相を比較し、比較結果φR、φSを遅延制御回路10に出力する。遅延制御回路10は、2つの可変遅延回路2、5の遅延量を、位相比較結果に従って両入力信号の位相が一致するように調整する。

【0007】その結果、出力バッファ3から出力される出力データの出力タイミングは、外部クロックのタイミングに整合するように、可変遅延回路2の遅延量が制御される。上記のDLL回路については、本出願人により、例えば特開平10-112182公報（平成10年4月28日公開）に記載される。

【0008】実際の集積回路装置では、出力端子Doutに50pF程度の外部容量負荷Coが存在する。この外部容量負荷Coは、例えば、集積回路装置が搭載されるマザーボード上の配線容量である。そのため、出力バッファ3がタイミングクロックCLK2に同期して出力する出力データ信号の切り替わりタイミングは、この外部容量負荷Coに依存したタイミングになる。

【0009】そこで、ダミー出力バッファ6の出力クロックCLK4の位相が、出力信号Doutの位相と一致させるために、DLL回路のフィードバックループ内において、ダミー出力バッファ6の出力段に固定ダミーロード7が設けられる。このダミーロード7の容量負荷は、クロックCLK4が、外部容量負荷Coが実際に存在する場合における出力端子Doutの出力波形と同等になるように設定される。再現された出力波形を用いて位相調整を実施することにより、出力端子Doutで出力データDATAが切り替わるタイミングと外部クロック信号CLKの立ち上がりエッジとをより正確に合わせることができ

る。

【0010】  
【発明が解決しようとする課題】上記の通り、従来技術では、出力端子Doutに接続される外部容量負荷を考慮して、DLL回路の遅延回路内に容量負荷が固定されたダミーロード7を設ける。しかしながら、集積回路装置の製造上のばらつき等によりダミーロード7の容量負荷が設定値から変動してしまうことがある。例えば、ダミーロード7が抵抗素子やキャパシタ素子で構成される場合、製造ばらつきにより変動する。そのような場合の変動を補正する手段がないため、DLL回路での位相調整

を正確に行うことができない。その結果、出力端子Doutにおけるデータ出力信号の波形の切り替わりタイミングと外部クロック信号CLKの立ち上がりエッジとがずれてしまう。

【0011】更に、出力端子Doutに接続される外部容量負荷が、デバイスによって異なる値することが要求される場合もある。かかる場合は、容量負荷が固定されたダミーロード7では、そのような異なる外部容量負荷に対応することができない。

【0012】そこで、本発明の目的は、製造ばらつきの影響を受けずに外部クロックの周期に応じて所望の位相のタイミングクロックを生成することができるDLL回路を提供することにある。

【0013】更に、本発明の目的は、製造ばらつきの影響を受けずに外部クロックに周波数に応じて遅延量が調整されたタイミングクロックを生成することができるセルフタイミングコントロール回路を提供することにある。

【0014】更に、本発明の目的は、製造ばらつきに対応して、最適なダミーロードの容量負荷を設定することができるDLL回路、またはセルフタイミングコントロール回路を提供することにある。

【0015】

【課題を解決するための手段】上記の目的を達成するために、本発明のセルフタイミングコントロール回路は、容量負荷が固定されたダミーロードの代わりに、容量負荷を電気的に調整可能な可変ダミーロードを設置する。本発明によれば、デバイスのウェハ試験工程において、可変ダミーロードの容量負荷を調整して最適値に設定することができる。最適値に設定された可変ダミーロードの容量負荷は、フューズ等のプログラム可能なメモリ内に設定値が固定される。これにより、製造上のばらつき等によるダミーロード容量負荷の変動を補正することができ、クロック発生器での位相調整をより正確に行うことができる。

【0016】上記の目的を達成するために、本発明は、供給される供給クロックを遅延させて前記供給クロックと所定の位相関係を有するタイミングクロックを生成するセルフタイミングコントロール回路において、前記供給クロックが入力され、当該供給クロックの周波数に応じて制御された遅延量だけ該供給クロックを遅延させる第1の可変遅延回路と、前記第1の可変遅延回路に接続され、前記供給クロックの周波数にかかわらず設定された所定の遅延量だけ前記供給クロックを遅延させる追加遅延回路とを有し、前記追加遅延回路は、前記遅延量が可変設定される可変ダミーロードを有し、当該遅延量を設定するプログラマブルメモリにより前記可変ダミーロードの遅延量が可変設定されることを特徴とする。

【0017】

【発明の実施の形態】以下、図面を参照して本発明の実

施の形態例を説明する。しかしながら、かかる実施の形態例が、本発明の技術的範囲を限定するものではない。

【0018】図2は、本発明の実施の形態例を示す図である。図2に示されたセルフタイミングコントロール回路は、図1の従来例と同様な構成であり、対応する部分には同じ引用番号を付した。即ち、外部から供給されるクロックCLKが、入力バッファ1により取り込まれ、クロックCLK1が第2の可変遅延回路2に入力され、クロックの周波数に応じて遅延されたタイミングクロックCLK2が、出力バッファ3に供給される。出力バッファ3は、タイミングクロックCLK2に同期して出力データDATAを出力端子Doutから出力する。出力端子には、外部容量負荷Coが接続される。

【0019】このタイミングクロックCLK2は、以下のDLL回路によりそのタイミングが制御される。即ち、DLL回路は、内部クロックCLK1を分周器4で分周した基準クロックc-clkを使用する。基準クロックc-clkは、第1の可変遅延回路5で制御された遅延量だけ遅延される。遅延されたクロックCLK3は、更に、ダミー出力バッファ6、可変ダミーロード7、ダミー入力バッファ8で構成される追加遅延回路を通過して、可変クロックd-i-clkとして、位相比較器9に供給される。ダミー出力バッファ6は、出力バッファ3と同等の遅延時間を有し、ダミー入力バッファ8はクロック入力バッファ1と同等の遅延時間を有する。

【0020】このDLL回路の動作は、従来例と同様である。後述する詳細な説明により明らかな通り、第1及び第2の可変遅延回路5、2は、クロックCLKの周波数または周期に応じて、その遅延量が制御される。また、ダミー出力バッファ6及び可変ダミーロード7の位置は、第1の可変遅延回路5の前段に設けることができ、また、ダミー入力バッファ8の後段に設けることもできる。

【0021】本実施の形態例のセルフタイミングコントロール回路は、可変ダミーロード7の容量負荷の大きさが、プログラム回路11により変更設定可能に構成される。即ち、プログラム回路11内のプログラマブルメモリに所定の設定値を記憶させることで、それに対応する設定信号Fi、Eiにしたがって、可変ダミーロード7の容量負荷の大きさを可変設定することができる。可変ダミーロード7の容量負荷を変更設定することにより、クロックCLK4の遅延量を変更設定される。従来技術の課題で説明した通り、製造ばらつきにより、ダミーロード7の容量負荷の値が変動しても、製造後のテストモードによりDLL回路がロックオンしているときのタイミングクロックCLK2の位相を検出することにより、その位相を最適なタイミングにするように可変ダミーロード7の容量負荷を可変設定することができる。

【0022】〔可変ダミーロードの構成例(1)〕図3は、第1の可変ダミーロードの構成例を示す図である。

可変ダミーロード7は、ダミー出力バッファ6およびダミー入力バッファ8間に直列接続された可変抵抗Rp、および可変抵抗Rpの出力側と接地電極間に接続されたコンデンサCpから構成される。可変抵抗Rpの抵抗値は、後述するように、プログラム回路11により制御信号Fiを介して制御される。コンデンサCpは、配線の寄生容量を利用することもできる。

【0023】プログラム回路11は、外部端子から抵抗値の制御信号Fiを設定するレジスタ回路32と、抵抗値の制御信号Fiを固定的に設定するフューズからなるプログラマブルメモリ回路30と、レジスタ回路32からの設定とプログラマブルメモリ回路30からの設定とを切り替える切り替え回路33とで構成される。

【0024】可変ダミーロード7内の可変抵抗Rpを、プログラム回路11内のレジスタ回路32を介して変更設定し、最適の可変抵抗Rpの抵抗値を検出する。その後、最適の抵抗値に可変抵抗Rpを固定的に設定するために、プログラマブルメモリ30にその設定値が記録される。そして、通常動作時は、切り替え回路33により、プログラマブルメモリ30内に記録された設定値に従って制御信号Fiが供給され、可変抵抗Rpの抵抗値が設定される。

【0025】図4は、可変抵抗Rpの構成例を示す図である。可変抵抗Rpは、図4に示すように、複数のスイッチS0～Sn、および抵抗値の等しい複数の抵抗R1～Rnから構成される。スイッチS0～Snは、切り替え回路33からそれぞれ供給される負荷制御信号F0～Fnによりオン/オフ制御される。複数のスイッチS0～Snは、図4に示される通り、CMOSトランスファークロークで構成される。負荷制御信号F0～Fnのうち1つの信号だけがLレベルに設定され、対応するスイッチをオン（導通状態）にする。仮に、負荷制御信号FiがLレベルに設定されると、可変抵抗Rpの抵抗値は、 $R_p = R_1 + R_2 + \dots + R_i$ に設定される。従って、この負荷制御信号Fiを選択することにより、可変抵抗Rpの抵抗値を調整することができる。なお、抵抗R1～Rnの材質をポリシリコンにすることにより、抵抗値の温度依存性を小さくすることができる。

【0026】図5は、プログラム回路11の構成例(1)を示す図である。本構成例のプログラム回路11は、レジスタ32またはフューズ30で設定された信号を、切り替え回路33により選択して、負荷制御信号F0～F2として可変抵抗Rpに供給する。図6は、例示的に3ビットの負荷制御信号F0～F2のみを示す。

【0027】デバイスのウェハ試験工程において可変ダミーロード7の容量負荷を調整する場合は、レジスタ32からの信号に基づいて負荷制御信号F0～F2を生成し、DLL回路がロックオンするときの出力端子Doutに生成される出力信号のタイミングと外部クロックCLKのタイミングを比較する。即ち、レジスタ32には、アド

レス信号などの外部入力信号A0～A2が供給され、このとき、第1のテスト信号TEST1として正のパルス信号を入力するとレジスタ32内のトランスファゲート321～323がオンになり、外部入力信号A0～A2がラッチ324～326を介して切り替え回路33に供給される。その後、切り替え回路内のトランスファゲート331～336に入力される第2のテスト信号TEST2をHレベルに設定することにより、レジスタ32にラッチされた信号が選択されて、負荷制御信号F0～F2が可変ダミーロードの可変抵抗R<sub>p</sub>に供給される。

【0028】外部入力信号A0～A2のいずれかをHレベルにすることで、負荷制御信号F0～F2のいずれかをLレベルに設定し、図4に示された可変抵抗R<sub>p</sub>のいずれかのスイッチS0～S<sub>n</sub>を導通させることができる。その結果、可変抵抗R<sub>p</sub>を任意の抵抗値に設定することができる。

【0029】このプログラム回路を利用することにより、テストモードでは、外部入力信号からレジスタ回路32を介して可変ダミーロード7の可変抵抗R<sub>p</sub>の抵抗値を可変設定して、製造ばらつきに対応した最適な容量負荷を検出することができる。

【0030】そして、そのようにして検出した最適な容量負荷にするための設定値を、フューズ素子からなるプログラマブルメモリ30に記録する。その結果、通常動作モードでは、第2のテスト信号TEST2をLレベルにすることで、プログラマブルメモリ30に記録された信号に従って負荷制御信号F0～F2のいずれかがLレベルに設定され、最適な負荷容量が可変ダミーロード7に設定される。

【0031】図6は、プログラム回路11の構成例(2)を示す図である。本構成例のプログラム回路11は、図5の場合と同様に、レジスタ32またはフューズ30で設定された信号を、切り替え回路33により選択して、負荷制御信号F0～F2として可変抵抗R<sub>p</sub>に供給する。但し、図6の構成例では、切り替え回路33内に、インバータ338～340と、複数のデコード線345と、それらデコード線345の組み合わせが入力されるNANDゲート341～343とからなるデコード回路が追加される。

【0032】デコード回路は、レジスタ32またはプログラマブルメモリ回路30からの3ビットの入力信号をデコードし、8ビットの負荷制御信号F0～F7を生成する。図5の場合と同様に、8ビットの負荷制御信号F0～F7のうち1つだけがLレベルに設定され、可変ダミーロード7内の可変抵抗R<sub>p</sub>に供給される。レジスタに入力される外部入力信号A0～A2を2進数として変えることにより、負荷制御信号F0～F7を順番にLレベルに変更することができ、可変ダミーロード7の容量負荷を調整することができる。

【0033】図7は、上記のプログラム回路11を利用して、最適な可変ダミーロード7の容量負荷を設定する

ときのフローチャート図である。第1のテスト信号TEST1をHレベルにし(S10)、外部入力信号A0～A2をレジスタ回路32内のラッチ回路324～326にラッチする(S12)。そして、第1のテスト信号TEST1をLレベルにして、スイッチ321～323を非導通状態にすると共に、第2のテスト信号TEST2をHレベルにして、切り替え回路33内のスイッチ332, 334, 336をそれぞれ導通状態にする(S14)。その結果、レジスタ回路32に設定した信号が、負荷制御信号F0～F7として、可変ダミーロード7内の可変抵抗R<sub>p</sub>に供給され、可変抵抗R<sub>p</sub>が所定の抵抗値に設定される。

【0034】そこで、セルフタイミングコントロール回路をテストモード動作させる(S16)。このテストモード動作では、出力されるデータDATAをHレベルとLレベルに交互に変化させる。その場合、基準クロックc-clkと可変クロックd-i-clkとの位相がほぼ一致してDLL回路がロックオンする状態で、データ出力波形の切り替わりタイミングと外部クロック信号CLKの立ち上がりエッジが一致したときの可変ダミーロード7の容量負荷が最適値になる。従って、出力端子Doutに生成される出力波形が正しいタイミングで出力されるか否かがチェックされる(S18)。一致しない場合は、可変抵抗R<sub>p</sub>の設定値を変更して、再度同じテストを行う。

【0035】上記の工程S10～S18が、出力端子に生成される出力波形の切り替わりのタイミングと外部クロックCLKの立ち上がりエッジとが一致するまで繰り返される。そして、一致することが検出されると、その時にレジスタ回路32に設定した外部入力信号A0～A2の信号レベルに基づいて、対応するフューズFS0～FS2が切断される(S20)。

【0036】その後、第2のテスト信号TEST2をLレベルに設定することにより、フューズからの入力信号が選択されて、可変ダミーロードの容量負荷が最適値に固定される。

【0037】[可変ダミーロードの構成例(2)] 図8は、可変ダミーロードの構成例(2)を示す図である。この可変ダミーロード7は、ダミー出力バッファ6およびダミー入力バッファ8間に直列接続された抵抗R<sub>p</sub>、および抵抗R<sub>p</sub>の出力側と接地電極間に接続された可変コンデンサC<sub>p</sub>から構成される。可変コンデンサC<sub>p</sub>の容量値は、後述するように、プログラム回路11により負荷制御信号φ<sub>p</sub>を介して制御される。抵抗R<sub>p</sub>については、既存配線の寄生抵抗を流用することもできる。

【0038】図9は、可変コンデンサC<sub>p</sub>の構成例を示す図である。図9に示されるように、可変コンデンサC<sub>p</sub>は、複数のスイッチS0～S<sub>n</sub>および複数のコンデンサC0～C<sub>m</sub>がそれぞれ接続された回路が、並列に接続されて構成される。コンデンサC0～C<sub>m</sub>の容量値は、C0:C1:C2:…=1:2:4:…のように順に重み付けされた値に設定される。スイッチS0～S<sub>n</sub>は、図4の場合と同様に、CMOSTラ

ンスファースイッチで構成され、プログラム回路からそれぞれ供給される負荷制御信号E0～Emによりオン/オフ制御される。図4の場合と同様に、Lレベルに設定された負荷制御信号に対応するスイッチがオンになる。

【0039】この可変コンデンサでは、Lレベルに設定される負荷制御信号E0～Emの組み合わせを変えることにより、可変コンデンサCpの容量値を細かく調整して最適値に設定することができる。例えば、負荷制御信号E0のみをLレベルにすると、スイッチS0のみが導通し、可変コンデンサCpの容量値は、C0になる。また、負荷制御信号E1のみをLレベルにすると、スイッチS1のみが導通し、可変コンデンサCpの容量値はC1=2C0になる。そして、負荷制御信号E0,E1を共にLレベルにすると、スイッチS0,S1の両方が導通し、可変コンデンサCpの容量値はC0+C1=3C0になる。このように、重みづけされたコンデンサを適宜組み合わせで接続することにより、任意の容量値に設定することができる。

【0040】上記の可変ダミーロードの場合も、プログラム回路11は、図5、6に示した回路と同じ回路により、その最適な容量負荷の値を検出して、設定することができる。但し、コンデンサが重み付けされているので、必要な負荷制御信号の数は、図3、4の可変ダミーロードの場合に比較して少なくすることができる。

【0041】可変ダミーロード7は、図3、4の構成例(1)における可変抵抗および図8、9の構成例(2)における可変コンデンサを組み合わせで構成することもできる。基本的な構成および動作は、構成例(1)および構成例(2)と同様である。この場合、それぞれの抵抗値や容量値を、例えば可変抵抗を粗調整用、可変コンデンサを微調整用として用いるように設定することができる。その場合に、より高精度に可変ダミーロード7の容量負荷を設定することが可能になる。

【0042】[DLL回路の各構成要素] 図2に示されたフィードバックループを有するDLL回路の具体的な構成例について、以下に説明する。

【0043】[可変遅延回路] 図10は、可変遅延回路2、5の例を示す図である。この可変遅延回路は、入力クロックCLK1,c-clkを、制御信号φEで制御されたゲート段数分遅延させて、出力クロックCLK2、CLK3を出力する。可変遅延回路2、5は、複数のインバータ98～112と、NANDゲート113～128により、図示される通り構成される。NANDゲート113～120の一方の入力には、入力クロックCLK1,c-clkを遅延させたクロックが供給され、他方の入力には遅延制御信号φE-1～φE-32が供給される。遅延制御信号φE-1～φE-32は、いずれか1つの信号がHレベルとなり、残りの信号がLレベルになる。

【0044】仮に、遅延制御信号φE-1がHレベルとすると、他の遅延制御信号のLレベルにより、NANDゲート113～119の出力は全てHレベルとなる。その

結果、NANDゲート121～127は全てLレベル、インバータ102～108は全てHレベルとなる。そこで、入力クロックは、4つのインバータ98～101と、NANDゲート120、128と、4つのインバータ109～112とからなる合計10段のゲートの遅延量をもって、出力クロックCLK2として出力される。この状態が、遅延量が最小の状態である。通常、電源投入時は、パワーオンリセット信号により遅延量が最小の状態にリセットされる。

【0045】そして、Hレベルの遅延制御信号φE-1～φE-32が図中右側にシフトするたびに、NANDゲート127及びインバータ108による2段のゲートの遅延量が追加される。そして、遅延制御信号φE-32がHレベルになると、最大の遅延量となる。即ち、遅延制御信号φE-1～φE-32の内、Hレベルの遅延制御信号が右側に1つずれると、NANDゲートとインバータの2段分の遅延量が増加され、左側に1つずれると、同様の2段分の遅延量が減少される。

【0046】[出力バッファ及びダミー出力バッファ] 図11は、出力バッファ及びダミー出力バッファの回路図である。出力バッファ3は、内部からのデータDATAが供給され、タイミングクロックCLK2の立ち上がりエッジで導通するトランジスタN2、P2及びN3、P3からなるCMOSスイッチを介して、ラッチ回路10、12にラッチされる。そして、それらのラッチされたデータ信号に応じて、出力段のPMOSTランジスタP1及びNMOSTランジスタN1の一方が導通して、出力端子Doutに出力信号を出力する。出力段のトランジスタP1、N1は、外部の容量負荷Coを駆動するために、大型のトランジスタに設計される。また、出力段のトランジスタには、出力バッファ用の電源VccQとVssQとが接続される。

【0047】一方、ダミー出力バッファ6も、出力バッファ3と同様の回路構成である。即ち、クロックCLK3の立ち上がりエッジで導通するCMOSTランジスタN12、P12、N13、P13を介して、ラッチ回路20、22に所定のデータがラッチされる。そして、出力段のトランジスタP11、N11により、ダミーロード7の負荷容量が駆動される。

【0048】ここで、ダミー出力バッファ6の出力段トランジスタP11、N11は、出力バッファ3の出力段トランジスタP1、N1と比較すると、はるかに小さいトランジスタに設計される。集積回路装置内において、大きな面積を占めることを防止するためである。従って、ダミーロード7の容量負荷は、出力端子Doutに接続される外部容量負荷Coと比較すると、例えば10分の1の5pF程度に設定される。それに伴い、出力段トランジスタP11、N11も、出力バッファ3内の出力トランジスタのサイズよりも10分の1に設計される。また、ダミー出力バッファ6の遅延時間を出力バッファ3

に整合させる為に、容量C1、C2が出力段のトランジスタP11、N11のゲート電極に接続される。この容量C1、C2は、出力段トランジスタP11、N11のゲート容量と合わせると、出力バッファ3内の出力段トランジスタP1、N1のゲート容量と同等になるように、設計される。

【0049】上記の通り、ダミー出力バッファ6内のトランジスタP11、N11のサイズを小さくし、それに対応してダミーロード7の容量負荷も小さくすることで、集積回路装置内の占有面積を小さく抑えることができ、また、ダミー出力バッファ6による消費電力も節約することができる。

【0050】上記の通り、ダミーロード7の容量負荷は、実際の外部容量負荷Coと比較して所定の比率に小さく設計される。従って、製造ばらつきに伴うダミーロード6内のわずかな容量負荷のばらつきは、遅延特性に大きな影響を与えてしまう。また、ダミーロード7は製造ばらつきの影響をうけるが、外部容量負荷Coは製造ばらつきの影響を受けない。従って、本実施の形態例の如く、ダミーロード6を可変設定できるようにすることは、最適なタイミングのタイミングクロックCLK2を生成させる為には、重要である。

【0051】〔位相比較回路〕図12は、位相比較回路9内の位相比較部の回路図である。また、図13は、位相比較部の動作を示す波形図である。この位相比較部は、NANDゲート199～203及びインバータ215からなる部分において、第1のクロックc-c1kと第2のクロックd-i-c1kとの位相関係を検出して、ノードn1～n4にその検出結果を生成する。両クロックの位相関係は、図13(A)に示される通り、第1のクロックc-c1kに比較して第2のクロックd-i-c1kの位相が進んでいる状態と、図13(B)に示される通り、両クロックの位相がほぼ一致している状態と、図13(C)に示される通り、第1のクロックc-c1kに比較して第2のクロックd-i-c1kの位相が遅れている状態とに分類される。

【0052】図13(A)の状態の場合は、両クロックがLレベルの状態では、ノードn1～n4は全てHレベルであり、その後、第2のクロックd-i-c1kが先にHレベルになり、

n1=L、n2=H、n3=L、n4=H

になる。その後、第1のクロックc-c1kが遅れてHレベルになっても、上記のノードn1～n4の状態は変化しない。NANDゲート198は、両クロックが共にHレベルになると出力をLレベルにし、その立ち下がりエッジから所定の幅のHレベルパルスが、NORゲート216から出力される。このHレベルパルスが、サンプリングパルスとしてNANDゲート204～207に供給され、ノードn1～n4の状態が、NANDゲート208、209からなるラッチ回路と、NANDゲート2

10、211からなるラッチ回路とにそれぞれ取り込まれる。従って、信号φb、φc、φd、φeは、図12の表に示される通り、

φb=H、φc=L、φd=H、φe=L

になる。

【0053】図13(B)の状態は、第1のクロックc-c1kに対して第2のクロックd-i-c1kの位相が、NANDゲート201とインバータ215の遅延時間以内の範囲で遅れる場合である。NANDゲートとインバータの遅延時間は、上記した可変遅延回路の遅延制御1段分の遅延量と同じである。その場合は、第1のクロックc-c1kが先にHレベルとなり、

n1=H、n2=L

になり、更に、インバータ215の出力が第2のクロックd-i-c1kよりも後にHレベルになり、

n3=L、n4=H

になる。

【0054】従って、両クロックがHレベルになるタイミングでラッチされ、信号φb、φc、φd、φeは、図12の表に示される通り、

φb=L、φc=H、φd=H、φe=L

になる。この場合は、位相が一致したことを意味するので、ロックオン検出回路418の出力のロックオン信号JSTもHレベルを出力する。

【0055】図13(C)の状態では、第1のクロックc-c1kが先にHレベルになり、

n1=H、n2=L、n3=H、n4=L

になる。その後、第2のクロックd-i-c1kが遅れてHレベルになっても、上記のノードn1～n4の状態は変化しない。この状態が、両クロックがHレベルになるタイミングでラッチされ、信号φb、φc、φd、φeは、図12の表に示される通り、

φb=L、φc=H、φd=L、φe=H

になる。

【0056】図14は、位相比較回路9の位相比較出力部の回路図である。また、図15は、その位相比較出力部の動作を示す波形図である。波形図の(A)、

(B)、(C)は、図12及び図13の(A)、

(B)、(C)にそれぞれ対応する。

【0057】位相比較出力部は、両クロックの位相比較のタイミングで生成されるタイミング信号φaの周波数を2分の1に分周する分周回路21Aと、その分周回路21Aからの出力のタイミングにตอบสนองして、両クロックの位相関係に応じて生成された信号φb、φc、φd、φeに基づいて、位相比較結果信号φS0～φREを出力する出力回路21Bとから構成される。

【0058】2分の1分周回路21Aは、JKフリップフロップ構成であり、両クロックc-c1k、d-i-c1kが共にHレベルになる時をNANDゲート198(図12)で検出し、その検出パルスφaを2分の1分

周して、逆相のパルス信号  $n11$  と  $n12$  とを生成する。検出パルス  $\phi a$  がゲート 226, 227 に供給され、反転検出パルス  $\phi a$  がゲート 222, 223 に供給され、ゲート 228, 229 からなるラッチ回路と、ゲート 224, 225 からなるラッチ回路間で、反転信号を転送する。その結果、2分の1分周された逆相のパルス信号  $n11$ ,  $n12$  が生成される。

【0059】出力回路 21B は、サンプリングラッチされた信号  $\phi b$ ,  $\phi c$ ,  $\phi d$ ,  $\phi e$  をデコードして、第1のクロック  $c-clk$  の位相が第2のクロック  $d-iclk$  より遅れている時 (状態 (A)) は、ダイオード 236 の出力を Hレベルにし、両クロックの位相が一致している時 (状態 (B)) は、ダイオード 236 と 237 の出力を共に Lレベルにし、更に、第1のクロック  $c-clk$  の位相が第2のクロック  $d-iclk$  より進んでいる時 (状態 (C)) は、ダイオード 237 の出力を Hレベルにする。

【0060】従って、出力回路 21B は、NANDゲート 232~235 のデコード機能により、上記の状態 (A) の時は、NANDゲート 232, 233 が、タイミング信号  $n11$ ,  $n12$  に応答して、第2のクロック  $d-iclk$  の位相を遅らせる様に、可変遅延回路 2, 5 の遅延量を増加させる位相比較結果信号  $\phi S0$ ,  $\phi SE$  を、交互に Hレベルにする。即ち、図 15 (A) に示される通りである。また、上記の状態 (B) の時は、出力回路 21B は、図 15 (B) の如く、位相比較結果信号  $\phi S0 \sim \phi RE$  を生成しない。更に、上記の状態 (C) の時は、図 15 (C) の如く、NANDゲート 234, 235 が、タイミング信号  $n11$ ,  $n12$  に応答して、第2のクロック  $d-iclk$  の位相を進める様に、可変遅延回路 2, 5 の遅延量を減少させる位相比較結果信号  $\phi R0$ ,  $\phi RE$  を、交互に Hレベルにする。

【0061】〔遅延制御回路〕図 16 は、遅延制御回路 10 の一部の構成を示す回路図である。遅延制御回路 10 は、位相比較結果信号  $\phi S0 \sim \phi RE$  に応答して、NORゲート 431-1~431-3 から遅延制御信号  $\phi E-1 \sim \phi E-3$  を出力する。図 10 に示した通り、遅延制御信号  $\phi E-1 \sim \phi E-32$  は、32ビットで構成される。

【0062】遅延制御回路 10 は、位相比較結果信号  $\phi S0$ ,  $\phi SE$  により Hレベルの遅延制御信号  $\phi E$  を右側にシフトし、可変遅延回路の遅延量を増加させ、位相比較結果信号  $\phi R0$ ,  $\phi RE$  により Hレベルの遅延制御信号  $\phi E$  を左側にシフトし可変遅延回路の遅延量を減少させる。

【0063】遅延制御回路 10 の各段は、例えば 1 段目では、NANDゲート 432-1 とインバータ 433-1 からなるラッチ回路をそれぞれ有する。また、位相比較結果信号  $\phi S0 \sim \phi RE$  によりラッチ回路 432-1 と 433-1 の状態を強制的に反転させるトランジスタ 434-1, 436-1 を有する。トランジスタ 438-1, 439-1 は、反転の対象外の場合にトランジスタ

434-1, 436-1 によってはラッチ回路が反転されないようにする為に設けられる。2 段目~3 段目の回路も同様の構成である。これらのトランジスタは全て Nチャネル型である。

【0064】今仮に、パワーオンリセットに伴い Lレベルパルスのリセット信号  $\phi R$  が印加されると、NANDゲート 431-1~3 の出力は全て Hレベルになり、インバータ 433-1~3 の出力は全て Lレベルになる。従って、ノード 5a-2 が Lレベルになり、NORゲート 431-1 の出力の遅延制御信号  $\phi E-1$  は Hレベルになる。また、ノード 5a-1, 5a-3 が共に Hレベルであるので、それ以外の遅延制御信号  $\phi E-2$ ,  $\phi E-3$  は全て Lレベルになる。即ち、リセット信号  $\phi R$  に応答して、遅延制御信号  $\phi E-1$  が Hレベルになり、可変遅延回路 2, 5 は最小遅延時間に制御される。

【0065】次に、位相比較が実行されると、両クロックの位相関係に応じて、位相比較結果信号  $\phi S0 \sim \phi RE$  のいずれかが Hレベルになる。今仮に、位相比較結果信号  $\phi SE$  が Hレベルになると、トランジスタ 434-1 が導通し、ノード 5a-1 を強制的に Lレベルに引き下げて、インバータ 433-1 の出力のノード 5a-2 を強制的に Hレベルに引き上げる。その結果、NORゲート 431-1 の出力  $\phi E-1$  は Lレベルになる。また、ノード 5a-1 と 5a-4 が共に Lレベルであるので、NORゲート 431-2 の出力  $\phi E-2$  は Hレベルになる。そして、1 段目と 2 段目のラッチ回路は、その状態を保持する。更に、その後の位相比較により位相比較結果信号  $\phi S0$  が Hレベルになると、同様の動作により、ノード 5a-3 と 5a-6 が共に Lレベルになり、遅延制御信号  $\phi E-3$  が Hレベルになる。この様に、位相比較結果信号  $\phi SE$  と  $\phi S0$  により、遅延時間が長くなる様に遅延制御信号  $\phi E$  が右側にシフトする。

【0066】逆に、位相比較結果信号  $\phi RE$  と  $\phi R0$  により、上記と逆の動作により、遅延時間が短くなる様に遅延制御信号  $\phi E$  が左側にシフトする。尚、上記した位相比較回路の出力部の動作から明らかな通り、位相比較結果信号  $\phi SE$  と  $\phi S0$  は、第2のクロック  $d-iclk$  が進んでいる時に位相比較毎に交互に生成され、また、位相比較結果信号  $\phi RE$  と  $\phi R0$  は、第2のクロック  $d-iclk$  が遅れている時に位相比較毎に交互に生成される。

【0067】また、位相比較結果信号  $\phi SE$ ,  $\phi S0$  に応答して、遅延制御信号  $\phi E$  が次々に右側に移動し、最後に遅延制御信号  $\phi E-32$  が Hレベルになる。この状態では、インバータ 433-32 の出力が Lレベル、NANDゲート 432-32 の出力が Hレベルにラッチされている。そこで、更に、遅延時間を延ばす比較結果信号  $\phi S0$  が供給されると、NANDゲート 432-43 の出力が Lレベルに引き下げられ、インバータ 433-32 の出力が Hレベルに引き上げられる。

【0068】上記の実施の形態例では、プログラマブルメモリとしてフューズ素子を利用した例を示したが、それ以外のプログラム可能なメモリ素子を利用して構成することもできる。

【0069】

【発明の効果】以上、本発明によれば、製造ばらつきによりセルフタイミングコントロール回路が生成するタイミングクロックのタイミングが、最適値からずれることを防止することができる。

【図面の簡単な説明】

【図1】従来のDLL回路を利用したセルフタイミングコントロール回路の構成例を示す図である

【図2】本発明の実施の形態例を示す図である。

【図3】第1の変可ダミーロードの構成例(1)を示す図である。

【図4】可変抵抗 $R_p$ の構成例を示す図である。

【図5】プログラム回路11の構成例(1)を示す図である。

【図6】プログラム回路11の構成例(2)を示す図である。

【図7】プログラム回路11を利用して、最適な可変ダミーロード7の容量負荷を設定するときのフローチャート図である。

【図8】第1の変可ダミーロードの構成例(2)を示す図である。

【図9】可変コンデンサ $C_p$ の構成例を示す図である。

【図10】可変遅延回路2、5の例を示す図である。

【図11】出力バッファ及びダミー出力バッファの回路図である。

【図12】位相比較回路9内の位相比較部の回路図である。

【図13】位相比較回路9内の位相比較部の動作を示す波形図である。

【図14】位相比較回路9の位相比較出力部の回路図である。

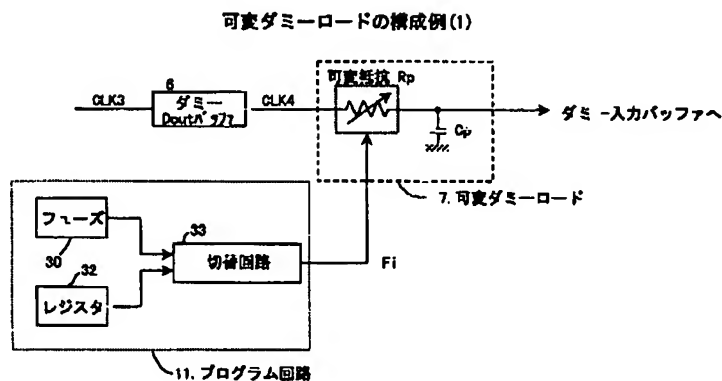
【図15】位相比較回路9の位相比較出力部の動作を示す波形図である。

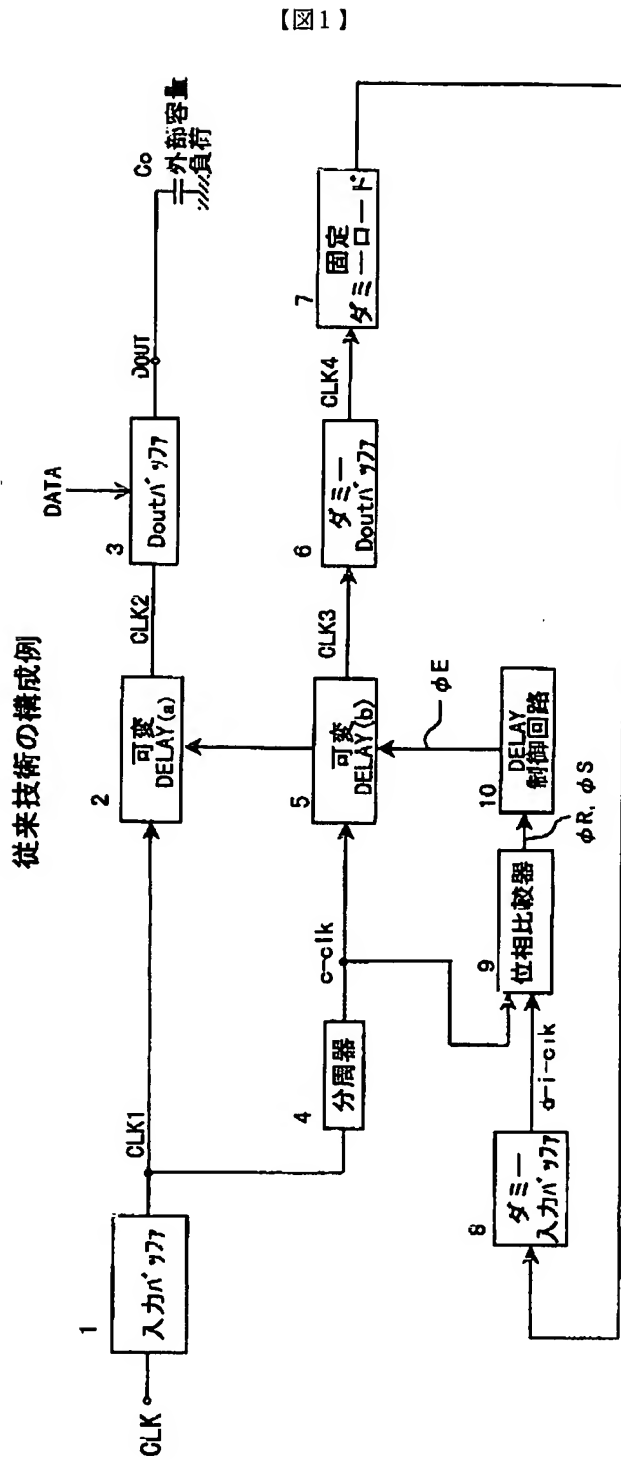
【図16】遅延制御回路10の回路図である。

【符号の説明】

- |       |             |
|-------|-------------|
| 1     | クロック入力バッファ  |
| 2     | 第2の変可遅延回路   |
| 3     | 出力バッファ      |
| 5     | 第1の変可遅延回路   |
| 6     | ダミー出力バッファ   |
| 7     | 可変ダミーロード    |
| 8     | ダミー入力バッファ   |
| 9, 10 | 位相比較・遅延制御回路 |
| $R_p$ | 可変抵抗        |
| $C_p$ | 可変コンデンサ     |

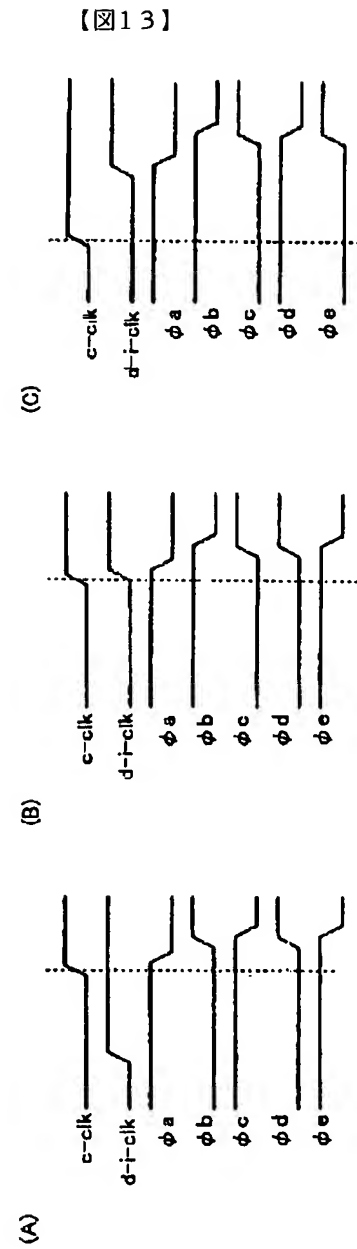
【図3】





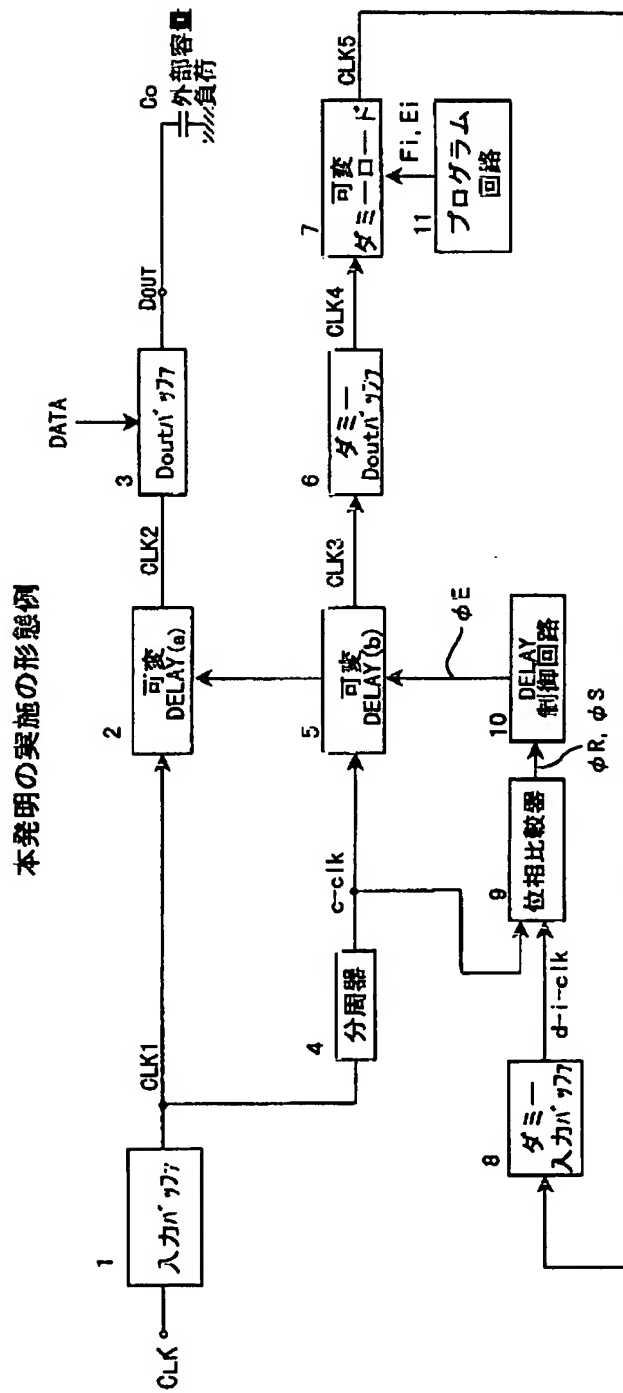
【図1】

位相比較部の動作を示す波形図

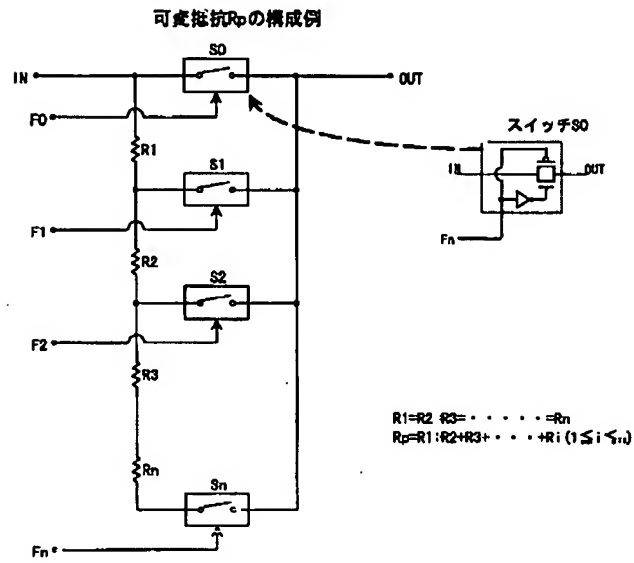


【図13】

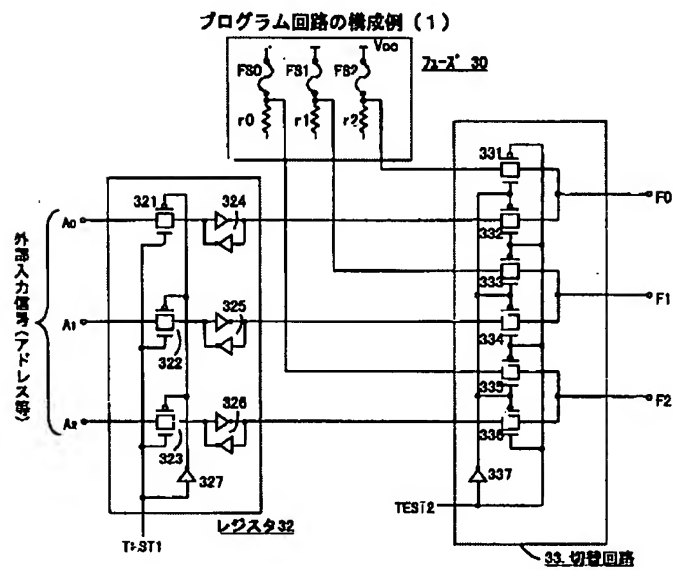
【図2】



【図4】

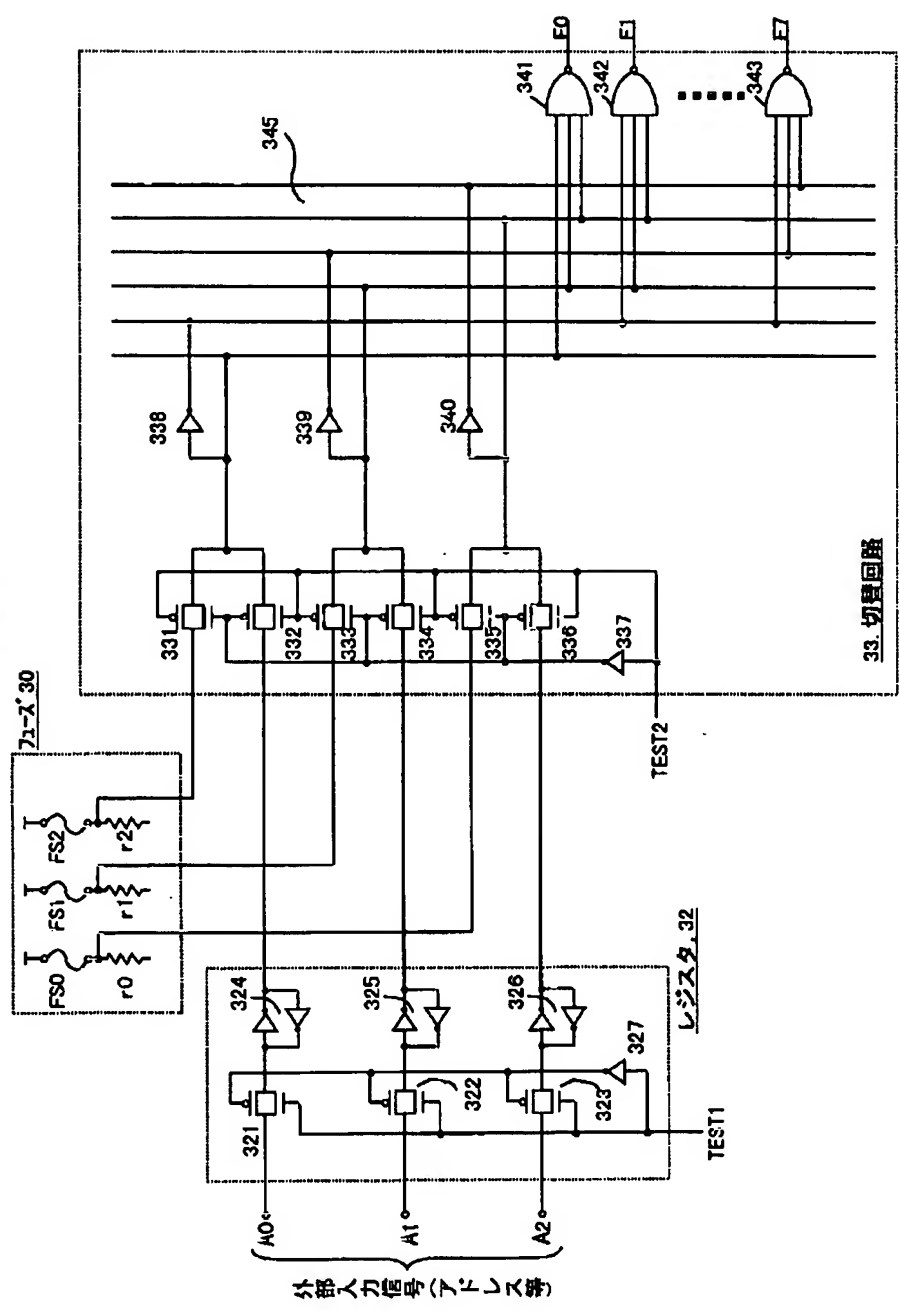


【図5】

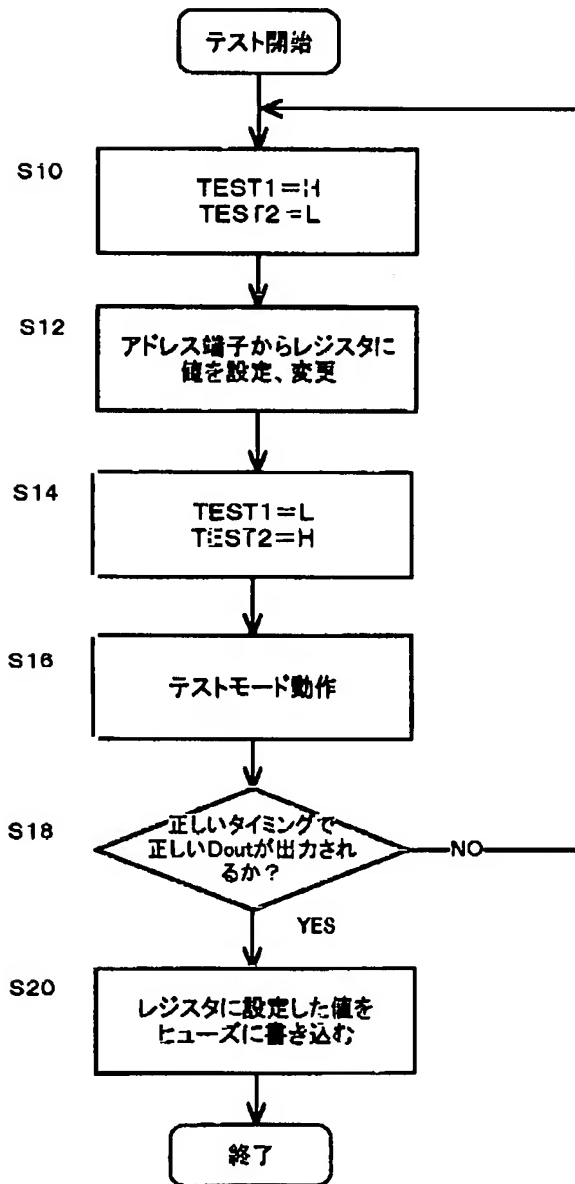


【図6】

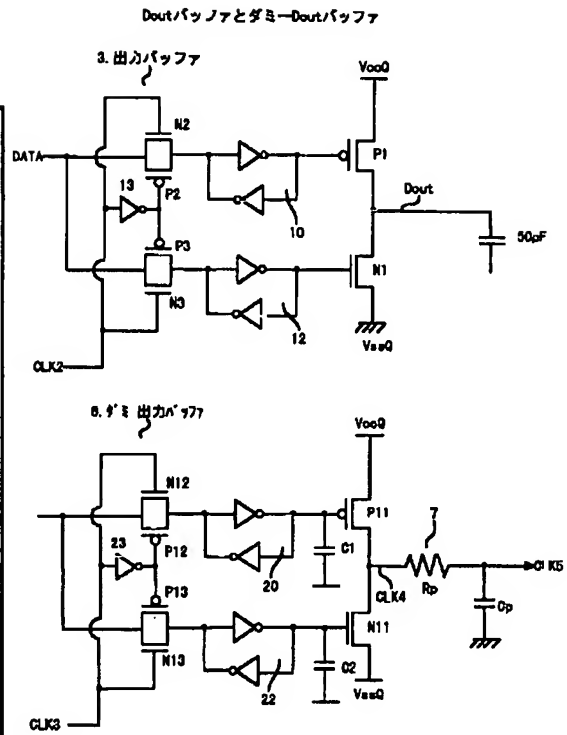
プログラム回路の構成例 (2)



【図7】

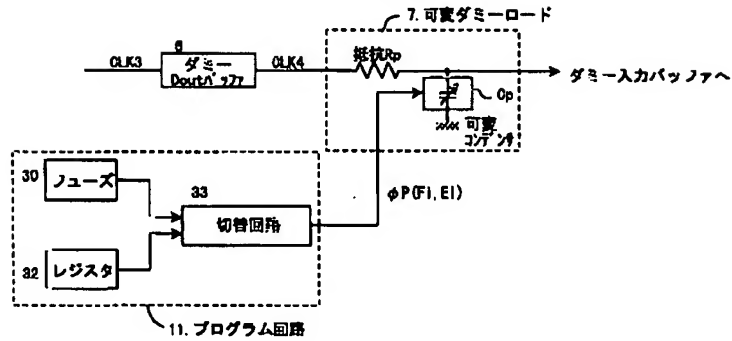


【図11】



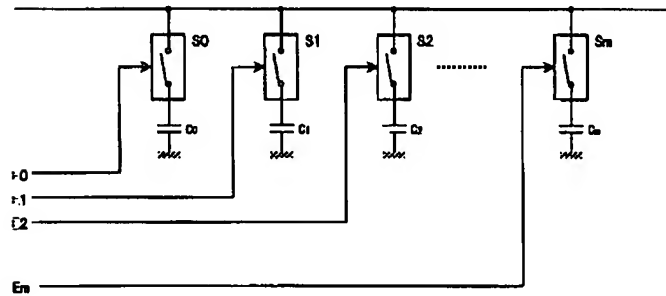
【図8】

### 可変ダミー！ロードの構成例(2)



【図9】

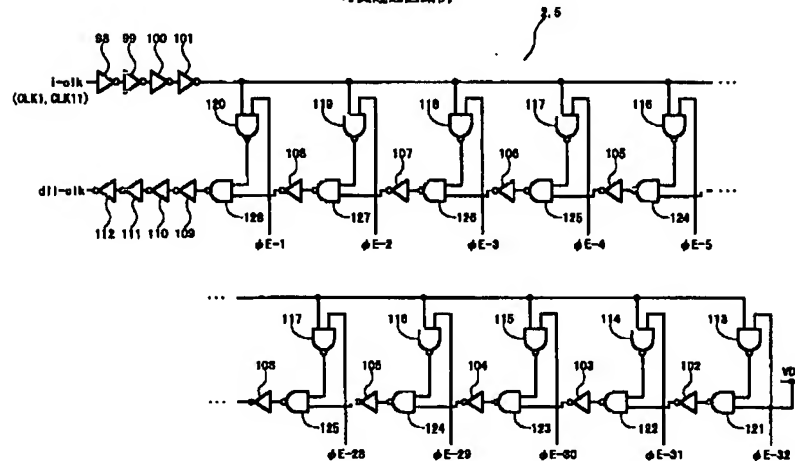
### 可変コンデンサCpの構成例



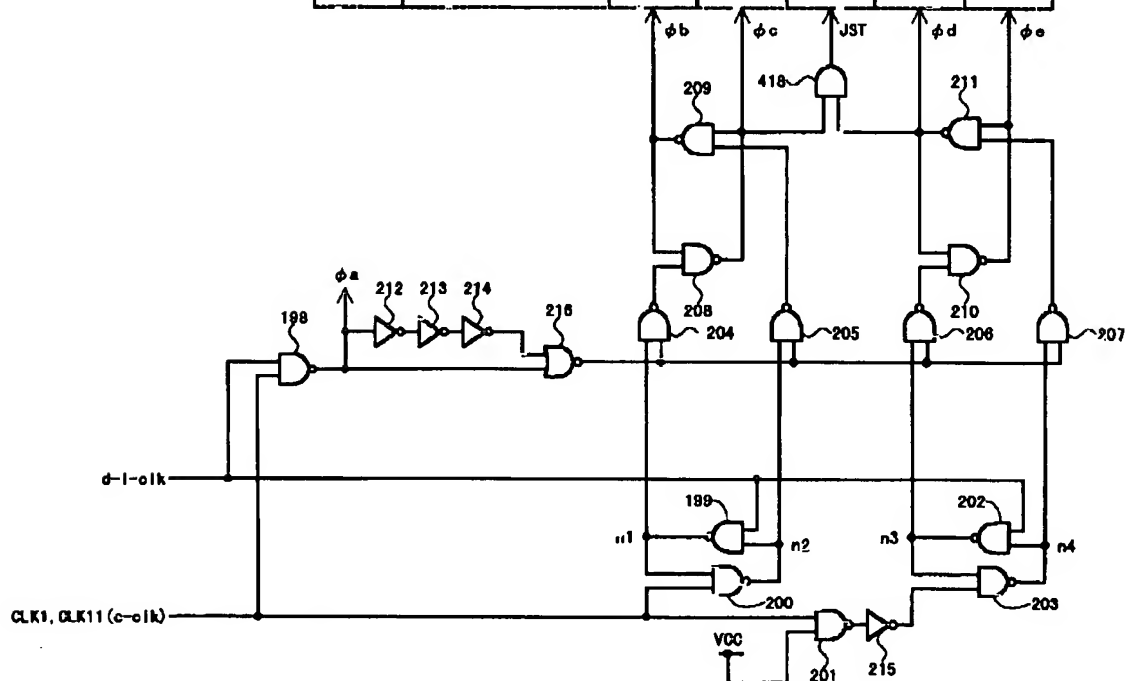
$$C_0:C_1:C_2:\cdots=1:2:4:\cdots$$

【図10】

### 可實現延遲回路例

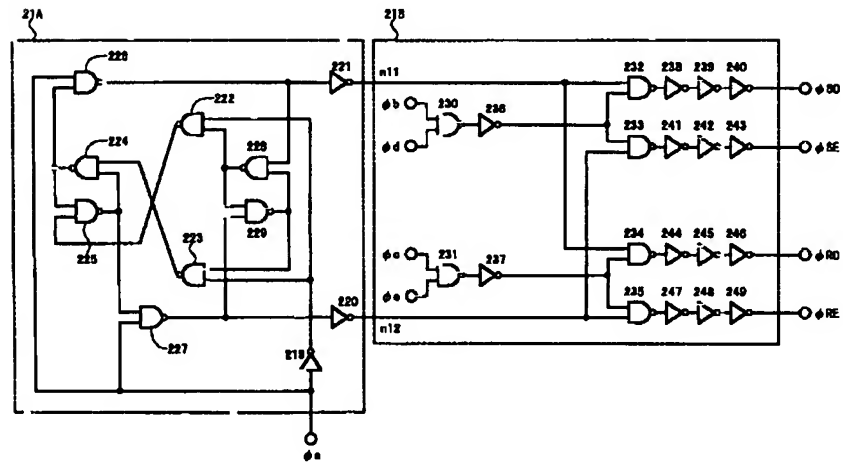


(A)		H	L	L	H	L
(C)		L	H	L	L	H
(B)		L	H	H	H	L



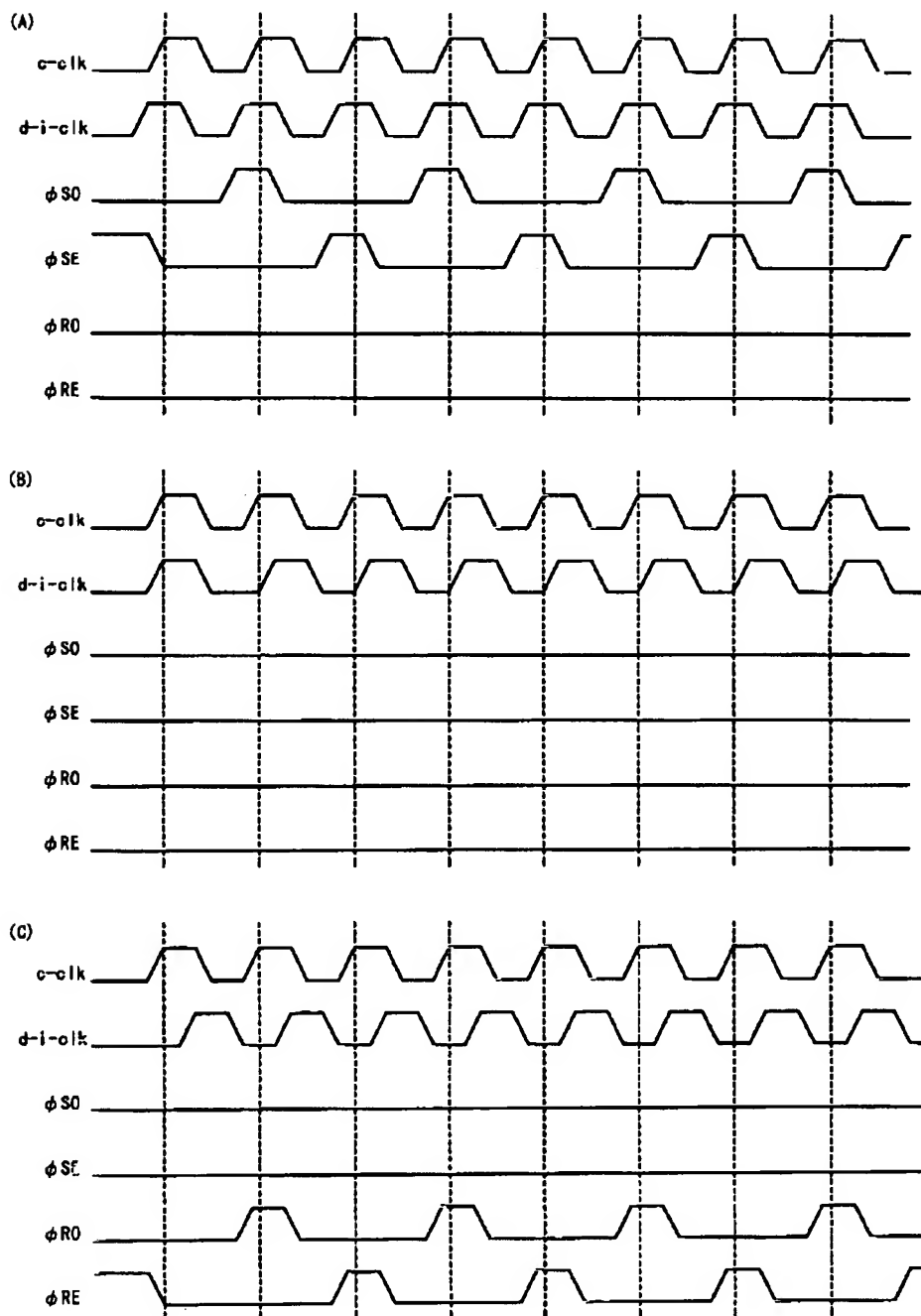
【図14】

位相比較回路の出力部の構成を示す回路図

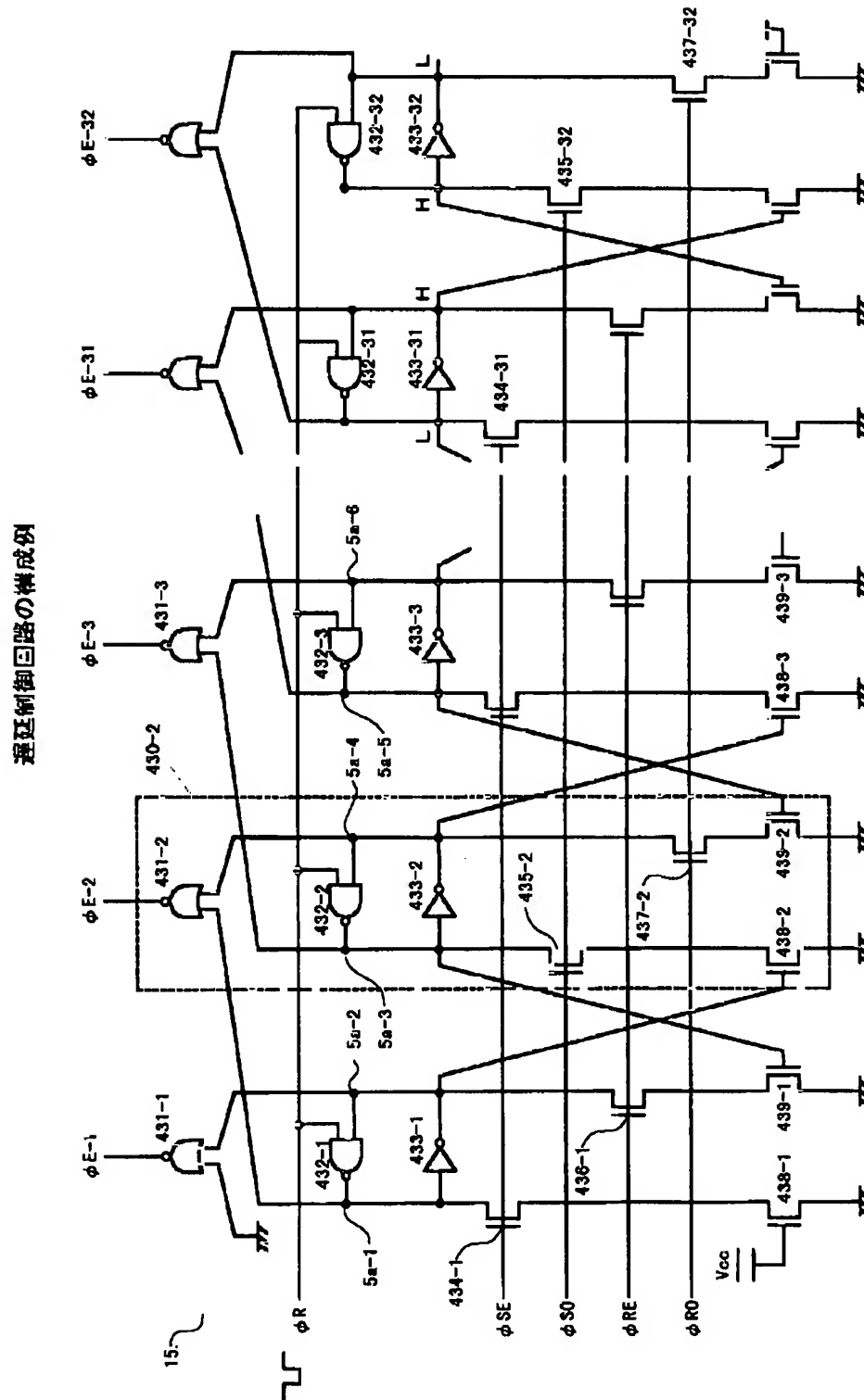


【図15】

位相比較回路の出力部の動作を示す波形図



【图 16】



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	(参考)
// H 0 3 K 5/135		G 1 1 C 11/34	3 5 4 C 3 6 2 S

F ターム(参考) 5B024 AA03 BA21 BA23 CA07 CA11  
EA01  
5B079 AA07 CC02 CC08 CC14 CC17  
DD03 DD06 DD17  
5J001 AA11 BB10 BB11 BB12 BB14  
BB24 CC03 DD01 DD04  
5J106 AA03 CC21 CC52 CC58 DD24  
GG04 HH02 KK32 KK37 LL02  
5L106 AA01 AA02 DD12 DD32 DD37  
EE03 FF05 GG03 GG07

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-163999

(43)Date of publication of application : 16.06.2000

(51)Int.Cl. G11C 29/00  
G06F 1/06  
G06F 1/10  
G11C 11/407  
H03L 7/00  
// H03K 5/135

(21)Application number : 10-331364

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.11.1998

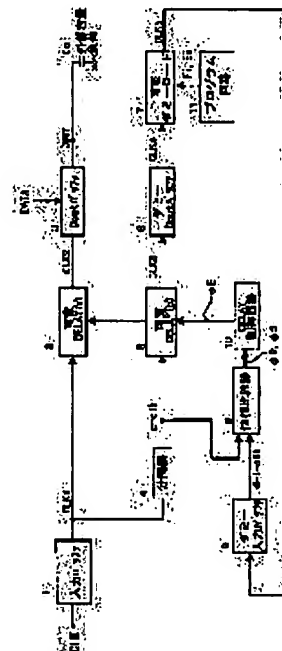
(72)Inventor : TANIGUCHI NOBUTAKA  
TOMITA HIROYOSHI

## (54) SELF-TIMING CONTROL CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent the adjusted phase of a timing clock, generated by a self-timing control circuit using a DLL circuit, from varying from its optimum value due to manufacturing variance.

**SOLUTION:** This self-timing control circuit is provided with a variable dummy load 7, which is electrically adjustable in capacity load instead of a dummy load which has its capacity load fixed. In a wafer testing process of a device, the capacity load of the variable dummy load 7 can be adjusted to its optimum value. The capacity load of the variable dummy load 7 adjusted to the optimum value has a set value fixed in the programmable memory of a fuse, etc. Consequently, variation in dummy load capacity load due to the variance of manufacture can be corrected, and the phase adjustment of a clock generator can be made more accurately.



## LEGAL STATUS

[Date of request for examination] 20.11.2001

[Date of sending the examiner's decision of rejection] 28.12.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] In the self timing control circuit which generates the timing clock which the supply clock supplied is delayed and has said supply clock and predetermined phase relation The 1st adjustable delay circuit where only the amount of delay which said supply clock was inputted and was controlled according to the frequency of the supply clock concerned delays this supply clock, Connect with said 1st adjustable delay circuit, and it has the additional delay circuit where only the predetermined amount of delay set up irrespective of the frequency of said supply clock delays said supply clock. Said additional delay circuit is a self timing control circuit characterized by adjustable setting out of the amount of delay of said adjustable dummy load being carried out by the programmable memory which has the adjustable dummy load by which adjustable setting out of said amount of delay is carried out, and sets up the amount of delay concerned.

[Claim 2] The clock input buffer which incorporates said supply clock further in claim 1, The 2nd adjustable delay circuit which the supply clock incorporated by said clock input buffer is inputted, and only the amount of delay controlled like said 1st adjustable delay circuit is delayed, and generates said timing clock, It has the output buffer which outputs an output signal synchronizing with said timing clock. Said additional delay circuit It has the dummy input buffer and dummy output buffer which have the same amount of delay as said clock input buffer and said output buffer. Furthermore, said self timing control circuit Furthermore, the adjustable clock delayed by said supply clock, said 1st adjustable delay circuit, and the additional delay circuit is compared. The self timing control circuit characterized by having the phase comparison and delay control circuit which controls the amount of delay of said 1st and 2nd adjustable delay circuits so that the phase of the clock concerned becomes predetermined relation.

[Claim 3] The self timing control circuit characterized by having further the remote setting circuit which sets up the amount of delay of said adjustable dummy load with an external signal in claims 1 or 2.

[Claim 4] The self timing control circuit which carries out the description of having further the electronic switch which switches setting out of the amount of delay of said adjustable dummy load by said remote setting circuit, and setting out of the amount of delay of said adjustable dummy load by said programmable memory in claim 3.

[Claim 5] It is the self timing control circuit characterized by for said electronic switch activating setting out of the amount of delay by said remote setting circuit in claim 4 at the time of test mode, and activating setting out of the amount of delay by said programmable memory at the time of normal operation mode.

[Claim 6] The self timing control circuit characterized by for said output buffer having the output terminal connected to the external volume load of a predetermined capacity in claims 1 or 2, only for the predetermined rate of the volume load of said adjustable dummy load being smaller than said external volume load, and the actuation capacity of said dummy output buffer being smaller than the actuation capacity of said output buffer according to said predetermined rate.

[Claim 7] It is the self timing control circuit characterized by consisting of a memory cell in which said

programmable memory has a fuze component in claims 1 or 2.

[Claim 8] It is the self timing control circuit characterized by said adjustable dummy load being constituted by variable resistance or variable capacity in claims 1 or 2.

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the self timing control circuit which can prevent that desired phase relation is no longer especially obtained by the reasons of manufacture dispersion etc. about the self timing control circuit which generates an external clock and the timing clock which has predetermined phase relation.

[0002]

[Description of the Prior Art] High-speed operation is possible for integrated circuit devices which input an input signal synchronizing with an external clock, and output an output signal, such as synchronous DRAM (SDRAM). This integrated circuit device performs the input and output of a signal synchronizing with the rising edge of an external clock. Although the external clock was used as an internal timing clock as it was, the frequency of a clock followed on becoming high and it became impossible conventionally, to disregard the propagation-delay time of the clock inside an integrated circuit device.

[0003] So, in the integrated circuit device of high speeds, such as SDRAM, preparing in the interior the self timing control circuit which generates an external clock and the timing clock in which a phase has coincidence or predetermined phase relation is proposed. This self timing control circuit consists of for example, DLL (Delay Locked Loop) circuits.

[0004] Drawing 1 is drawing showing the example of a configuration of the self timing control circuit using the conventional DLL circuit. In this DLL circuit, the external clock signal CLK is incorporated by the input buffer 1, and is supplied to the adjustable delay circuit 2 as an internal clock CLK1. In the adjustable delay circuit 2, only the time delay controlled according to the frequency of a clock is delayed, and a timing clock CLK2 is generated. An output buffer 3 outputs output-data DATA from an internal circuitry to an output terminal Dout synchronizing with this timing clock CLK2.

[0005] On the other hand, an internal clock CLK1 is inputted into a counting-down circuit 4, and 1-/N dividing of the frequency is carried out. Reference clock signal c-clk by which dividing was carried out is supplied as 1st input c-clk of a phase comparator at the same time the adjustable delay circuit 5 is supplied. The clock signal CLK3 outputted is supplied as 2nd input d-i-clk of a phase comparator 9 from the adjustable delay circuit 5 via the added fixed delay circuit group which consists of the dummy output buffer 6, a fixed dummy load 7, and a dummy input buffer 8.

[0006] A phase comparator 9 compares the phase of two input signals, and outputs comparison result  $\phi_R$  and  $\phi_S$  to the delay control circuit 10. The delay control circuit 10 adjusts the amount of delay of two adjustable delay circuits 2 and 5 so that the phase of both input signals may be in agreement according to a phase comparison result.

[0007] Consequently, the amount of delay of the adjustable delay circuit 2 is controlled to adjust the output timing of the output data outputted from an output buffer 3 to the timing of an external clock. The above-mentioned DLL circuit is indicated by these people for example, at a JP,10-112182,A official report (April 28, Heisei 10 disclosure).

[0008] In a actual integrated circuit device, the about 50pF external volume load  $C_o$  exists in an output terminal Dout. This external volume load  $C_o$  is the wiring capacity on the mother board in which an integrated circuit device is carried. Therefore, the output-data signal which an output buffer 3 outputs synchronizing with a timing clock CLK2 changes, and timing turns into timing depending on this external volume load  $C_o$ .

[0009] Then, in order to make the phase of the output clock CLK4 of the dummy output buffer 6 in agreement with the phase of an output signal Dout, the fixed dummy load 7 is established in the feedback loop of a DLL circuit in the output stage of the dummy output buffer 6. The volume load of this dummy load 7 is set up so that a clock CLK4 may become the output wave of an output terminal Dout and an EQC in case the external volume load  $C_o$  exists actually. By carrying out phase adjustment using the reproduced output wave, the timing from which output-data DATA changes by the output terminal Dout, and the rising edge of the external clock signal CLK can be doubled more with accuracy.

[0010]

[Problem(s) to be Solved by the Invention] With the conventional technique, the dummy load 7 by which volume load was fixed in the delay circuit of a DLL circuit is established in consideration of the external volume load connected to an output terminal Dout as above-mentioned. However, the volume load of a dummy load 7 may be changed from the set point by dispersion on manufacture of an integrated circuit device etc. For example, when a dummy load 7 consists of a resistance element and a capacitor component, it changes by manufacture dispersion. Since there is no means to amend the fluctuation in such a case, phase adjustment in a DLL circuit cannot be performed to accuracy. Consequently, the wave of the data out signal in an output terminal Dout will change, and timing and the rising edge of the external clock signal CLK will shift.

[0011] Furthermore, the thing from which the external volume load connected to an output terminal Dout differs with a device and to deserve may be required. In this case, by the dummy load 7 to which volume load was fixed, it cannot respond to such different external volume load.

[0012] Then, the object of this invention is to offer the DLL circuit which can generate the timing clock of a desired phase according to the period of an external clock, without being influenced of manufacture dispersion.

[0013] Furthermore, the object of this invention is to offer the self timing control circuit which can generate the timing clock by which the amount of delay was adjusted to the external clock according to the frequency, without receiving the effect of manufacture dispersion.

[0014] Furthermore, the object of this invention is to offer the DLL circuit which can set up the volume load of the optimal dummy load, or a self timing control circuit corresponding to manufacture dispersion.

[0015]

[Means for Solving the Problem] In order to attain the above-mentioned object, the self timing control circuit of this invention installs electrically the adjustable dummy load which can be adjusted for volume load instead of being the dummy load to which volume load was fixed. According to this invention, in the wafer trial process of a device, the volume load of an adjustable dummy load can be adjusted and it can be set as an optimum value. As for the volume load of the adjustable dummy load set as the optimum value, the set point is fixed in memory with a programmable fuse etc. Thereby, fluctuation of the dummy-load volume load by dispersion on manufacture etc. can be amended, and phase adjustment in a clock generation machine can be performed more to accuracy.

[0016] In the self timing control circuit which generates the timing clock which this invention delays the supply clock supplied and has said supply clock and predetermined phase relation in order to attain the above-mentioned object The 1st adjustable delay circuit where only the amount of delay which said supply clock was inputted and was controlled according to the frequency of the supply clock concerned delays this supply clock, Connect with said 1st adjustable delay circuit, and it has the additional delay circuit where only the predetermined amount of delay set up irrespective of the frequency of said supply clock delays said supply clock. Said additional delay circuit has the adjustable dummy load by which adjustable setting out of said amount of delay is carried out, and is characterized by adjustable setting

out of the amount of delay of said adjustable dummy load being carried out by the programmable memory which sets up the amount of delay concerned.

[0017]

[Embodiment of the Invention] Hereafter, with reference to a drawing, the example of a gestalt of operation of this invention is explained. However, the example of a gestalt of this operation does not limit the technical range of this invention.

[0018] Drawing 2 is drawing showing the example of a gestalt of operation of this invention. The self timing control circuit shown in drawing 2 is the same configuration as the conventional example of drawing 1, and gave the same citation number to the corresponding part. That is, the clock CLK supplied from the outside is incorporated by the input buffer 1, a clock CLK1 is inputted into the 2nd adjustable delay circuit 2, and the timing clock CLK2 delayed according to the frequency of a clock is supplied to an output buffer 3. An output buffer 3 outputs output-data DATA from an output terminal Dout synchronizing with a timing clock CLK2. The external volume load Co is connected to an output terminal.

[0019] As for this timing clock CLK2, that timing is controlled by the following DLL circuits. That is, reference clock c-clk which carried out dividing of the internal clock CLK1 with the counting-down circuit 4 is used for a DLL circuit. Only the amount of delay by which reference clock c-clk was controlled by the 1st adjustable delay circuit 5 is delayed. The delayed clock CLK3 passes through the additional delay circuit which consists of a dummy output buffer 6, an adjustable dummy load 7, and a dummy input buffer 8 further, and is supplied to a phase comparator 9 as adjustable clock d-i-clk. The dummy output buffer 6 has a time delay equivalent to an output buffer 3, and has a time delay with the dummy input buffer 8 equivalent to the clock input buffer 1.

[0020] Actuation of this DLL circuit is the same as that of the conventional example. As for the 1st and 2nd adjustable delay circuits 5 and 2, according to the frequency or period of Clock CLK, the amount of delay is controlled by detailed explanation mentioned later a clear passage. Moreover, the location of the dummy output buffer 6 and the adjustable dummy load 7 can be established in the preceding paragraph of the 1st adjustable delay circuit 5, and can also be established in the latter part of the dummy input buffer 8.

[0021] The self timing control circuit of the example of a gestalt of this operation is constituted possible [ modification setting out by the program circuit 11 ] for the magnitude of the volume load of the adjustable dummy load 7. That is, according to the setpoint signals Fi and Ei corresponding to it, adjustable setting out of the magnitude of the volume load of the adjustable dummy load 7 can be carried out by making the programmable memory in the program circuit 11 memorize the predetermined set point. From that of carrying out modification setting out of the volume load of the adjustable dummy load 7, modification setting out of the amount of delay of a clock CLK4 is carried out. Even if it changes the value of the volume load of a dummy load 7, adjustable setting out of the volume load of the adjustable dummy load 7 can be carried out by manufacture dispersion by detecting the phase of the timing clock CLK2 when the DLL circuit is carrying out lock on according to the static test mode after manufacture so that the phase may be made into the optimal timing, as the technical problem of the conventional technique explained.

[0022] [Example of configuration of adjustable dummy load (1)] drawing 3 is drawing showing the example of a configuration of the 1st adjustable dummy load. The adjustable dummy load 7 consists of variable resistance Rp by which the series connection was carried out between the dummy output buffer 6 and the dummy input buffer 8, and a capacitor Cp connected to the output side of variable resistance Rp, and touch-down inter-electrode. The resistance of variable resistance Rp is controlled by the program circuit 11 through a control signal Fi to mention later. Capacitor Cp can also use the parasitic capacitance of wiring.

[0023] The program circuit 11 consists of change circuits 33 which change the register circuit 32 which sets up the control signal Fi of resistance, the programmable memory circuit 30 which consists of a fuse which sets up the control signal Fi of resistance fixed, and setting out from a register circuit 32 and setting out from the programmable memory circuit 30 from an external terminal.

[0024] Modification setting out of the variable resistance  $R_p$  in adjustable DAMIRODO 7 is carried out through the register circuit 32 in the program circuit 11, and the resistance of the optimal variable resistance  $R_p$  is detected. Then, in order to set variable resistance  $R_p$  as the optimal resistance fixed, the set point is recorded on a programmable memory 30. And at the time of normal operation, a control signal  $F_i$  is supplied by the change circuit 33 according to the set point recorded in the programmable memory 30, and the resistance of variable resistance  $R_p$  is set up.

[0025] Drawing 4 is drawing showing the example of a configuration of variable resistance  $R_p$ . Variable resistance  $R_p$  consists of two or more switches  $S_0$ - $S_n$  and two or more resistance  $R_1$ - $R_n$  with equal resistance, as shown in drawing 4. Switches  $S_0$ - $S_n$  are turned on/off controlled with the load-control signals  $F_0$ - $F_n$  supplied from the change circuit 33, respectively. Two or more switches  $S_0$ - $S_n$  consist of the CMOS transfer gates as they are shown in drawing 4. Among the load-control signals  $F_0$ - $F_n$ , only one signal is set as L level and turns ON (switch-on) a corresponding switch. Temporarily, when the load-control signal  $F_i$  is set as L level, the resistance of variable resistance  $R_p$  is  $R_p = R_1 + R_2 + \dots + R_i$ . Therefore, the resistance of variable resistance  $R_p$  can be adjusted by choosing this load-control signal  $F_i$ . In addition, temperature dependence of resistance can be made small by making construction material of Resistance  $R_1$ - $R_n$  into polish recon.

[0026] Drawing 5 is drawing showing the example of a configuration of the program circuit 11 (1). The program circuit 11 of this example of a configuration chooses the signal set up by the register 32 or the fuse 30 by the change circuit 33, and supplies it to variable resistance  $R_p$  as load-control signals  $F_0$ - $F_2$ . Drawing 6 shows only the load-control signals  $F_0$ - $F_2$  of a triplet in instantiation.

[0027] When adjusting the volume load of the adjustable dummy load 7 in the wafer trial process of a device, the timing of an output signal and the timing of an external clock CLK which generate the load-control signals  $F_0$ - $F_2$  based on the signal from a register 32, and are generated by the output terminal Dout in case a DLL circuit carries out lock on are compared. That is, if the external input signals  $A_0$ - $A_2$ , such as an address signal, are supplied and a forward pulse signal is inputted as the 1st test signal TEST1 at this time, the transfer gates 321-323 in a register 32 will be turned on, the external input signals  $A_0$ - $A_2$  change to a register 32 through latches 324-326, and a circuit 33 is supplied. Then, by setting the 2nd test signal TEST2 inputted into the transfer gates 331-336 in a change circuit as H level, the signal latched to the register 32 is chosen and the load-control signals  $F_0$ - $F_2$  are supplied to the variable resistance  $R_p$  of an adjustable dummy load.

[0028] Either of the load-control signals  $F_0$ - $F_2$  can be set as L level, and it can be made to flow through one switches  $S_0$ - $S_n$  of the variable resistance  $R_p$  shown in drawing 4 by making either of the external input signals  $A_0$ - $A_2$  into H level. Consequently, variable resistance  $R_p$  can be set as the resistance of arbitration.

[0029] By using this program circuit, by the static test mode, adjustable setting out of the resistance of the variable resistance  $R_p$  of the adjustable dummy load 7 can be carried out through a register circuit 32 from an external input signal, and the optimal volume load corresponding to manufacture dispersion can be detected.

[0030] And the set point for making it the optimal volume load which made such and was detected is recorded on the programmable memory 30 which consists of a fuse component. Consequently, in normal operation mode, by making the 2nd test signal TEST2 into L level, according to the signal recorded on the programmable memory 30, either of the load-control signals  $F_0$ - $F_2$  is set as L level, and the optimal load carrying capacity is set as the adjustable dummy load 7.

[0031] Drawing 6 is drawing showing the example of a configuration of the program circuit 11 (2). Like the case of drawing 5, the program circuit 11 of this example of a configuration chooses the signal set up by the register 32 or the fuse 30 by the change circuit 33, and supplies it to variable resistance  $R_p$  as load-control signals  $F_0$ - $F_2$ . However, in the example of a configuration of drawing 6, the decoding circuit which consists of NAND gates 341-343 where the combination of inverters 338-340, two or more decoding lines 345, and these decoding line 345 is inputted in the change circuit 33 is added.

[0032] A decoding circuit decodes the input signal of the triplet from a register 32 or the programmable memory circuit 30, and generates the 8-bit load-control signals  $F_0$ - $F_7$ . Like the case of drawing 5, only

one of the 8-bit load-control signals F0-F7 is set as L level, and it is supplied to the variable resistance  $R_p$  within the adjustable dummy load 7. By changing the external input signals A0-A2 inputted into a register as a binary number, the load-control signals F0-F7 can be changed into L level in order, and the volume load of the adjustable dummy load 7 can be adjusted.

[0033] Drawing 7 is flow chart drawing when setting up the volume load of the optimal adjustable dummy load 7 using the above-mentioned program circuit 11. The 1st test signal TEST1 is made into H level (S10), and the external input signals A0-A2 are latched to the latch circuits 324-326 in a register circuit 32 (S12). And while making the 1st test signal TEST1 into L level and making switches 321-323 into non-switch-on, the 2nd test signal TEST2 is made into H level, and the switch 332,334,336 in the change circuit 33 is made into switch-on, respectively (S14). Consequently, the signal set as the register circuit 32 is supplied to the variable resistance  $R_p$  within the adjustable dummy load 7 as load-control signals F0-F7, and variable resistance  $R_p$  is set as predetermined resistance.

[0034] Then, static test mode actuation of the self timing control circuit is carried out (S16). In this static test mode actuation, data DAT A outputted is changed to H level and L level by turns. In that case, the volume load of the adjustable dummy load 7 when a data output wave changes and the rising edge of timing and the external clock signal CLK is in agreement in the condition that the phase of reference clock c-clk and adjustable clock d-i-clk is mostly in agreement, and a DLL circuit carries out lock on becomes an optimum value. Therefore, it is confirmed whether the output wave generated by the output terminal Dout is outputted to right timing (S18). When not in agreement, the set point of variable resistance  $R_p$  is changed and the same test is performed again.

[0035] It is repeated until the rising edge of the timing from which it changes and the external clock CLK of the output wave by which the above-mentioned processes S10-S18 are generated by the output terminal is in agreement. And detection of being in agreement cuts the fuses FS0-FS2 which correspond based on the signal level of the external input signals A0-A2 set as the register circuit 32 then (S20).

[0036] Then, by setting the 2nd test signal TEST2 as L level, the input signal from a fuse is chosen and the volume load of an adjustable dummy load is fixed to an optimum value.

[0037] [Example of configuration of adjustable dummy load (2)] drawing 8 is drawing showing the example of a configuration of an adjustable dummy load (2). This adjustable dummy load 7 consists of variable capacitors  $C_p$  connected to the output side of the resistance  $R_p$  by which the series connection was carried out between the dummy output buffer 6 and the dummy input buffer 8, and Resistance  $R_p$ , and touch-down inter-electrode. The capacity value of a variable capacitor  $C_p$  is controlled by the program circuit 11 through load-control signal  $\phi_{ip}$  to mention later. Parasitism resistance of the existing wiring can also be diverted about Resistance  $R_p$ .

[0038] Drawing 9 is drawing showing the example of a configuration of a variable capacitor  $C_p$ . As shown in drawing 9, the circuit where two or more Switches S0-Sm and two or more capacitors C0-Cm were connected, respectively is connected to juxtaposition, and a variable capacitor  $C_p$  is constituted. The capacity value of Capacitors C0-Cm is C0:C1:C2. -- It is set as the value by which weighting was carried out to order like =1:2:4 --. Like the case of drawing 4, Switches S0-Sn consist of CMOS transfer switches, and ON/OFF control is carried out with the load-control signals E0-Em supplied from a program circuit, respectively. The switch corresponding to the load-control signal set as L level is turned on like the case of drawing 4.

[0039] In this variable capacitor, by changing the combination of the load-control signals E0-Em set as L level, the capacity value of a variable capacitor  $C_p$  can be adjusted finely, and it can be set as an optimum value. For example, if only the load-control signal E0 is made into L level, only a switch S0 will flow and the capacity value of a variable capacitor  $C_p$  will be set to C0. Moreover, if only the load-control signal E1 is made into L level, only a switch S1 will flow and the capacity value of a variable capacitor  $C_p$  will be set to C1=2C0. And if both the load-control signals E0 and E1 are made into L level, both switches S0 and S1 will flow, and the capacity value of a variable capacitor  $C_p$  will become C0+C1=3C0. Thus, it can be set as the capacity value of arbitration by connecting combining suitably the capacitor by which weighting was carried out.

[0040] The value of the optimal volume load can be detected and set up by the same circuit as the circuit

where the program circuit 11 was shown in drawing 5 and 6 also in the above-mentioned adjustable dummy load. However, since weighting of the capacitor is carried out, the number of required load-control signals can be lessened as compared with the case of drawing 3 and the adjustable dummy load of 4.

[0041] The adjustable dummy load 7 can also be constituted combining the variable capacitor in the variable resistance in drawing 3 and the example of a configuration of 4 (1) and drawing 8, and the example of a configuration of 9 (2). A fundamental configuration and actuation are the same as that of the example of a configuration (1), and the example of a configuration (2). In this case, it can set up so that the object for coarse controls and a variable capacitor may be used [ each resistance or capacity value ] for variable resistance as an object for fine adjustment. In that case, it becomes possible to set the volume load of the adjustable dummy load 7 as high degree of accuracy more.

[0042] The concrete example of a configuration of the DLL circuit which has the feedback loop shown in [each [ of a DLL circuit ] component] drawing 2 is explained below.

[0043] [Adjustable delay circuit] drawing 10 is drawing showing the example of the adjustable delay circuits 2 and 5. This adjustable delay circuit delays an input clock CLK1 and c-clk by the gate number of stages controlled by control signal phiE, and outputs the output clocks CLK2 and CLK3. The adjustable delay circuits 2 and 5 are constituted by two or more inverters 98-112 and NAND gates 113-128 as illustrated. An input clock CLK1 and the clock with which c-clk was delayed are supplied to one input of NAND gates 113-120, and delay control signal phiE-1 -phiE-32 are supplied to the input of another side. Any one signal serves as H level, and, as for delay control signal phiE-1 -phiE-32, the remaining signal is set to L level.

[0044] Temporarily, it is delay control signal phiE-1. If it is H level, all of the output of NAND gates 113-119 will be set to H level with L level of other delay control signals. Consequently, NAND gates 121-127 serve as L level, and inverters 102-108 serve as H level altogether. Then, an input clock has the amount of delay of a total of ten steps of gates which consist of four inverters 98-101, NAND gates 120,128, and four inverters 109-112, and is outputted as an output clock CLK2. This condition is in the condition of min [ amount / of delay ]. Usually, a power up is reset by the condition of min [ amount / of delay ] with a power-on-reset signal.

[0045] And the amount of delay of two steps of gates by NAND gate 127 and the inverter 108 whenever delay control signal phiE-1 -phiE-32 of H level shift to a drawing Nakamigi side is added. And if delay control signal phiE-32 are set to H level, it will become the maximum amount of delay. That is, if one delay control signal of H level shifts to right-hand side among delay control signal phiE-1 -phiE-32, the amount of delay for two steps of a NAND gate and an inverter will be increased, and if one shifts to left-hand side, the same amount of delay for two steps will decrease.

[0046] [Output-buffer and dummy output-buffer] drawing 11 is the circuit diagram of an output buffer and a dummy output buffer. Data DAT A from the interior is supplied and an output buffer 3 is latched to latch circuits 10 and 12 through the CMOS switch which consists of transistors N2 and P2 which flow in the rising edge of a timing clock CLK2, and N3 and P3. And according to those latched data signals, either the PMOS transistor P1 of an output stage or the NMOS transistor N1 flows, and an output signal is outputted to an output terminal Dout. Since the external volume load Co is driven, the transistors P1 and N1 of an output stage are designed by the large-sized transistor. Moreover, the power sources VccQ and VssQ for output buffers are connected to the transistor of an output stage.

[0047] On the other hand, the dummy output buffer 6 is also the same circuitry as an output buffer 3. That is, predetermined data are latched to latch circuits 20 and 22 through the CMOS transistors N12, P12, N13, and P13 which flow in the rising edge of a clock CLK3. And the load carrying capacity of a dummy load 7 drives with the transistors P11 and N11 of an output stage.

[0048] Here, the output stage transistors P11 and N11 of the dummy output buffer 6 are designed by the far small transistor as compared with the output stage transistors P1 and N1 of an output buffer 3. It is for preventing occupying a big area in an integrated circuit device. Therefore, the volume load of a dummy load 7 is set, for example as about 5pF of 1/10 as compared with the external volume load Co connected to an output terminal Dout. In connection with it, the output stage transistors P11 and N11 are

also designed by 1/10 rather than the size of the output transistor in an output buffer 3. Moreover, in order to make an output buffer 3 adjust the time delay of the dummy output buffer 6, capacity C1 and C2 is connected to the gate electrode of the transistors P11 and N11 of an output stage. If it doubles with the gate capacitance of the output stage transistors P11 and N11, these capacity C1 and C2 will be designed so that it may become the gate capacitance and the EQC of the output stage transistors P1 and N1 in an output buffer 3.

[0049] As above-mentioned, size of the transistors P11 and N11 in the dummy output buffer 6 can be made small, and the occupancy area in an integrated circuit device can be small stopped by making volume load of a dummy load 7 small corresponding to it, and the power consumption by the dummy output buffer 6 can also be saved.

[0050] The volume load of a dummy load 7 is small designed by the predetermined ratio as compared with the actual external volume load Co as above-mentioned. Therefore, dispersion in the slight volume load within the dummy load 6 accompanying manufacture dispersion will have big effect on delay characteristics. Moreover, although a dummy load 7 receives the effect of manufacture dispersion, the external volume load Co is not influenced of manufacture dispersion. Therefore, it is important that it can be made to carry out adjustable setting out of the dummy load 6 like the example of a gestalt of this operation, in order to make the timing clock CLK2 of the optimal timing generate.

[0051] At least [of phase comparison circuit] drawing 12 is [ at least that in the phase comparison circuit 9 ] the circuit diagram of a phase comparator. Moreover, drawing 13 is the wave form chart showing actuation of a phase comparator. In the part which consists of NAND gates 199-203 and an inverter 215, this phase comparator detects the phase relation between 1st clock c-clk and 2nd clock d-i-clk, and generates that detection result to nodes n1-n4. The condition that the phase of 2nd clock d-i-clk is progressing as compared with 1st clock c-clk as the phase relation of both clocks is shown in drawing 13 (A), It is classified into the condition that the phase of both clocks is mostly in agreement as shown in drawing 13 (B), and the condition that the phase of 2nd clock d-i-clk is behind as compared with 1st clock c-clk as shown in drawing 13 (C).

[0052] In the case of the condition of drawing 13 (A), both clocks are H level altogether in the state of L level, after that, 2nd clock d-i-clk is previously set to H level, and nodes n1-n4 are set to n1=L, n2=H, n3=L, and n4=H. Then, even if 1st clock c-clk is overdue and it is set to H level, the condition of the above-mentioned nodes n1-n4 does not change. Both NAND gates 198 will make an output L level, if both clocks are set to H level, and H level pulse of predetermined width of face is outputted from the NOR gate 216 from the falling edge. This H level pulse is supplied to NAND gates 204-207 as a sampling pulse, and it is incorporated by the latch circuit which the condition of nodes n1-n4 becomes from NAND gate 208,209, and the latch circuit which consists of NAND gate 210,211, respectively. Therefore, signal phib, phic, phid, and phie become phib=H, phic=L, phid=H, and phie=L as they are shown in the table of drawing 12 .

[0053] The condition of drawing 13 (B) is the case where the phase of 2nd clock d-i-clk is overdue in NAND gate 201 and the range within the time delay of an inverter 215 to 1st clock c-clk. The time delay of a NAND gate and an inverter is the same as the amount of delay for one step of delay control of the above-mentioned adjustable delay circuit. In that case, 1st clock c-clk serves as H level previously, and it is set to n1=H and n2=L, and further, the output of an inverter 215 is set to H level after 2nd clock d-i-clk, and is set to n3=L and n4=H.

[0054] Therefore, it is latched to the timing from which both clocks are set to H level, and signal phib, phic, phid, and phie become phib=L, phic=H, phid=H, and phie=L as they are shown in the table of drawing 12 . In this case, since it means that the phase was in agreement, the lock on signal JST of the output of the lock on detector 418 outputs H level.

[0055] In the state of drawing 13 (C), 1st clock c-clk is previously set to H level, and is set to n1=H, n2=L, n3=H, and n4=L. Then, even if 2nd clock d-i-clk is overdue and it is set to H level, the condition of the above-mentioned nodes n1-n4 does not change. This condition is latched to the timing from which both clocks are set to H level, and signal phib, phic, phid, and phie become phib=L, phic=H, phid=L, and phie=H as they are shown in the table of drawing 12 .

[0056] Drawing 14 is the circuit diagram of the phase-comparison output section of the phase comparison circuit 9. Moreover, drawing 15 is the wave form chart showing actuation of the phase-comparison output section. (A) of a wave form chart, (B), and (C) correspond to (A) of drawing 12 and drawing 13, (B), and (C), respectively.

[0057] Frequency divider 21A which carries out dividing of the frequency of timing signal  $\phi_{ia}$  by which the phase-comparison output section is generated to the timing of the phase comparison of both clocks to 1/2. The timing of the output from frequency divider 21A is answered, and it consists of output circuit 21B which outputs phase comparison result signal  $\phi_{SO}$ - $\phi_{RE}$  based on signal  $\phi_{ib}$  generated according to the phase relation of both clocks,  $\phi_{ic}$ ,  $\phi_{id}$ , and  $\phi_{ie}$ .

[0058] 1 frequency-divider 21A for 2 minutes is a JK-flip-flop configuration, detects the time of both both clock  $c\text{-clk}$  and  $d\text{-i-clk}$  being set to H level in NAND gate 198 (drawing 12), and is the detection pulse  $\phi_{ia}$ . 1/2 dividing is taken and the pulse signals  $n11$  and  $n12$  of an opposite phase are generated. Detection pulse  $\phi_{ia}$  The gate 226,227 is supplied and they are a reversal detection pulse  $\phi_{ia}$ . The gate 222,223 is supplied and a reversal signal is transmitted between the latch circuit which consists of the gate 228,229, and the latch circuit which consists of the gate 224,225. Consequently, the pulse signals  $n11$  and  $n12$  of the opposite phase carried out 1/2 dividing are generated.

[0059] Output circuit 21B decodes signal  $\phi_{ib}$  by which the sampling latch was carried out,  $\phi_{ic}$ ,  $\phi_{id}$ , and  $\phi_{ie}$ . When the phase of 1st clock  $c\text{-clk}$  is behind 2nd clock  $d\text{-i-clk}$  (condition (A)) When the output of diode 236 is made into H level and the phase of both clocks is in agreement (condition (B)) Both the outputs of diodes 236 and 237 are made into L level, and further, while the phase of 1st clock  $c\text{-clk}$  is progressing from 2nd clock  $d\text{-i-clk}$  (condition (C)), the output of diode 237 is made into H level.

[0060] Therefore, phase comparison result signal  $\phi_{iSO}$  and  $\phi_{iSE}$  are made into H level by turns to the extent that output circuit 21B makes the amount of delay of the adjustable delay circuits 2 and 5 increase so that NAND gate 232,233 may answer timing signals  $n11$  and  $n12$  in the above-mentioned condition (A) by the decoding function of NAND gates 232-235 and the phase of 2nd clock  $d\text{-i-clk}$  may be delayed. That is, it is as being shown in drawing 15 (A). Moreover, output circuit 21B does not generate phase comparison result signal  $\phi_{SO}$ - $\phi_{RE}$  like drawing 15 (B) in the above-mentioned condition (B). Furthermore, in the above-mentioned condition (C), like drawing 15 (C), timing signals  $n11$  and  $n12$  are answered, and NAND gate 234,235 makes H level phase comparison result signal  $\phi_{iRO}$  and  $\phi_{iRE}$  by turns to the extent that it decreases the amount of delay of the adjustable delay circuits 2 and 5 so that the phase of 2nd clock  $d\text{-i-clk}$  may be advanced.

[0061] [Delay control circuit] drawing 16 is the circuit diagram showing the configuration of a part of delay control circuit 10. The delay control circuit 10 answers phase comparison result signal  $\phi_{SO}$ - $\phi_{RE}$ , and is delay control signal  $\phi_{iE-1}$  - $\phi_{iE-3}$  from the NOR gate 431-1 to 431-3. It outputs. Delay control signal  $\phi_{iE-1}$  - $\phi_{iE-32}$  consist of 32 bits as shown in drawing 10.

[0062] the delay control circuit 10 -- about -- phase comparison result signal  $\phi_{iSO}$  and  $\phi_{iSE}$  -- delay control signal  $\phi_{iE}$  of H level it shifts to right-hand side and the amount of delay of an adjustable delay circuit is increased -- making -- about -- phase comparison result signal  $\phi_{iRO}$  and  $\phi_{iRE}$  -- delay control signal  $\phi_{iE}$  of H level It shifts to left-hand side and the amount of delay of an adjustable delay circuit is decreased.

[0063] Each stage of the delay control circuit 10 has the latch circuit which consists of NAND gate 432-1 and an inverter 433-1 in the 1st step, respectively. Moreover, it has the transistor 434-1,436-1 which reverses compulsorily a latch circuit 432-1 and the condition of 433-1 by phase comparison result signal  $\phi_{SO}$ - $\phi_{RE}$ . A transistor 438-1,439-1 is formed in order not to reverse a latch circuit depending on a transistor 434-1,436-1 in besides the object of reversal. - [ the 2nd step of ] the 3rd step of circuit is also the same configuration. All of these transistors are N channel molds.

[0064] Now, temporarily, it follows on power on reset and is reset-signal  $\phi_{iR}$  of L level pulse. If impressed, all of the output of NAND gate 431-1-3 will be set to H level, and all of the output of inverter 433-1-3 will be set to L level. Therefore, node 5a-2 are set to L level, and it is delay control signal  $\phi_{iE-1}$  of the output of the NOR gate 431-1. It is set to H level. Moreover, since both node 5a-1 and 5a-3 are H level, it is the other delay control signal  $\phi_{iE-2}$  and  $\phi_{iE-3}$ . All are set to L level. That is,

reset-signal  $\phi R$  is answered and it is delay control signal  $\phi E-1$ . It is set to H level and the adjustable delay circuits 2 and 5 are controlled by minimal delay time amount.

[0065] Next, if a phase comparison is performed, according to the phase relation of both clocks, either of phase comparison result signal  $\phi SO$ - $\phi RE$  will be set to H level. Now, temporarily, if phase comparison result signal  $\phi SE$  is set to H level, a transistor 434-1 will flow, node 5a-1 will be compulsorily reduced on L level, and node 5a-2 of the output of an inverter 433-1 will be compulsorily pulled up on H level. Consequently, output  $\phi E-1$  of the NOR gate 431-1 is set to L level. Moreover, since both node 5a-1 and 5a-4 are L level, it is output  $\phi E-2$  of the NOR gate 431-2. It is set to H level. And the 1st step and the 2nd step of latch circuit holds the condition. Furthermore, both node 5a-3 and 5a-6 are set to L level by same actuation, and at least a subsequent phase comparison is delay control signal  $\phi E-3$ , when phase comparison result signal  $\phi SO$  is set to H level. It is set to H level. Thus, it is delay control signal  $\phi E$  so that a time delay may become long by phase comparison result signal  $\phi SE$  and  $\phi SO$ . It shifts to right-hand side.

[0066] On the contrary, it is delay control signal  $\phi E$  so that a time delay may become short by actuation of the above and reverse by phase comparison result signal  $\phi RE$  and  $\phi RO$ . It shifts to left-hand side. In addition, while, as for phase comparison result signal  $\phi SE$  and  $\phi SO$ , 2nd clock d-i-clk is progressing the passage clear from actuation of the output section of a phase comparison circuit to the extent that it described above, it is generated by turns for every phase comparison, and phase comparison result signal  $\phi RE$  and  $\phi RO$  are generated by turns for every phase comparison, when 2nd clock d-i-clk is behind.

[0067] Moreover, phase comparison result signal  $\phi SE$  and  $\phi SO$  are answered, and it is delay control signal  $\phi E$ . It moves to right-hand side one after another, and, finally delay control signal  $\phi E-32$  are set to H level. In this condition, the output of L level and NAND gate 432-32 is latched for the output of an inverter 433-32 to H level. Then, if comparison result signal  $\phi SO$  which extends a time delay is supplied further, the output of NAND gate 432-43 is reduced by L level, and the output of an inverter 433-32 can pull up on H level.

[0068] Although the example which used the fuse component as a programmable memory was shown, it can also constitute from an example of a gestalt of the above-mentioned operation using the other programmable memory device.

[0069]

[Effect of the Invention] As mentioned above, according to this invention, the timing of the timing clock which a self timing control circuit generates by manufacture dispersion can prevent shifting from an optimum value.

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the example of a configuration of the self timing control circuit using the conventional DLL circuit.

[Drawing 2] It is drawing showing the example of a gestalt of operation of this invention.

[Drawing 3] It is drawing showing the example of a configuration of the 1st adjustable dummy load (1).

[Drawing 4] It is drawing showing the example of a configuration of variable resistance Rp.

[Drawing 5] It is drawing showing the example of a configuration of the program circuit 11 (1).

[Drawing 6] It is drawing showing the example of a configuration of the program circuit 11 (2).

[Drawing 7] It is flow chart drawing when setting up the volume load of the optimal adjustable dummy load 7 using the program circuit 11.

[Drawing 8] It is drawing showing the example of a configuration of the 1st adjustable dummy load (2).

[Drawing 9] It is drawing showing the example of a configuration of a variable capacitor Cp.

[Drawing 10] It is drawing showing the example of the adjustable delay circuits 2 and 5.

[Drawing 11] It is the circuit diagram of an output buffer and a dummy output buffer.

[Drawing 12] At least that in the phase comparison circuit 9 is the circuit diagram of a phase comparator.

[Drawing 13] At least that in the phase comparison circuit 9 is the wave form chart showing actuation of a phase comparator.

[Drawing 14] It is the circuit diagram of the phase-comparison output section of the phase comparison circuit 9.

[Drawing 15] It is the wave form chart showing actuation of the phase-comparison output section of the phase comparison circuit 9.

[Drawing 16] It is the circuit diagram of the delay control circuit 10.

[Description of Notations]

1 Clock Input Buffer

2 2nd Adjustable Delay Circuit

3 Output Buffer

5 1st Adjustable Delay Circuit

6 Dummy Output Buffer

7 Adjustable Dummy Load

8 Dummy Input Buffer

9 Ten A phase comparison and delay control circuit

Rp Variable resistance

Cp Variable capacitor

---

[Translation done.]

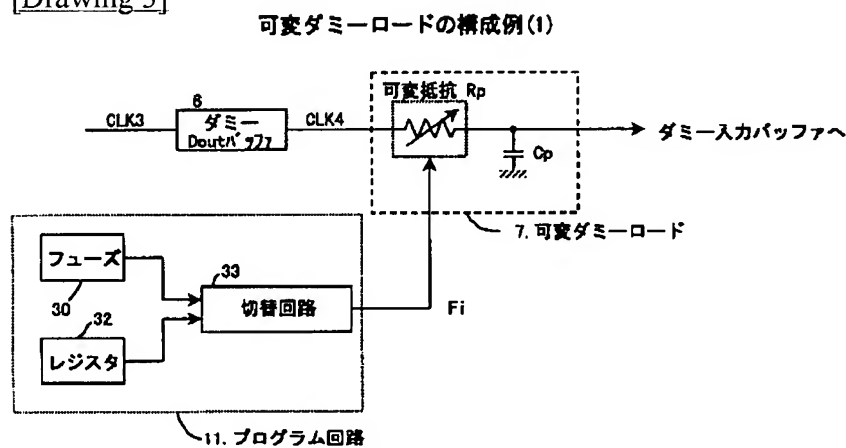
## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

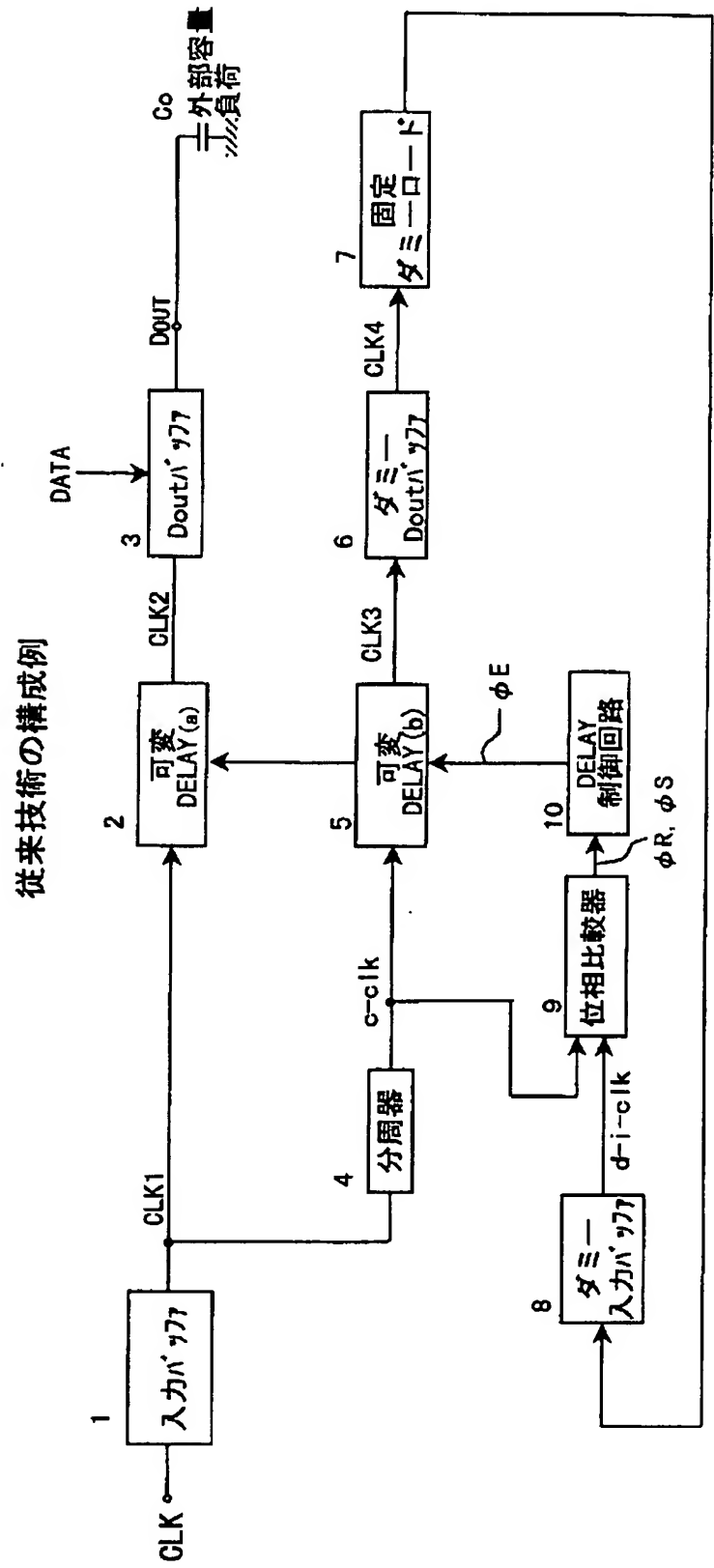
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DRAWINGS

[Drawing 3]

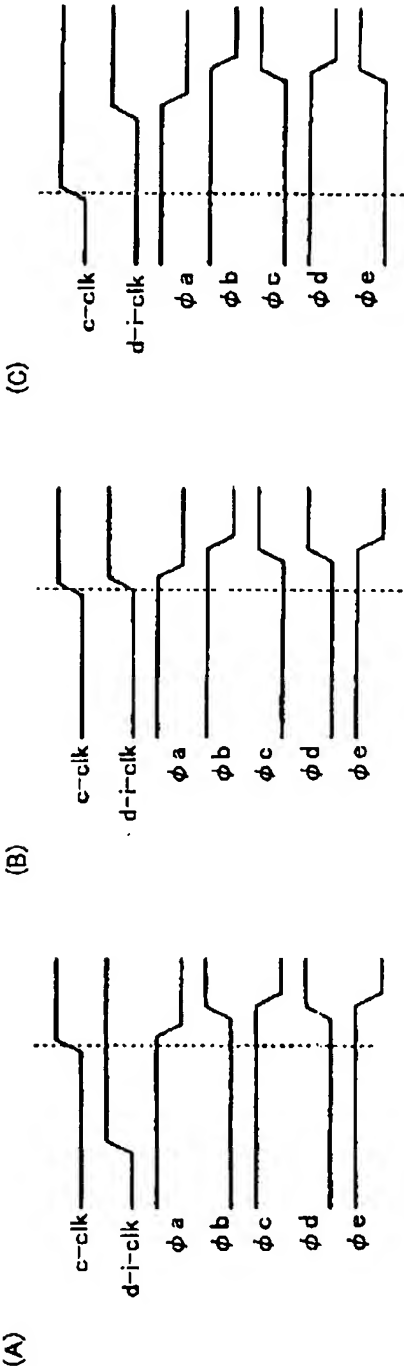


[Drawing 1]



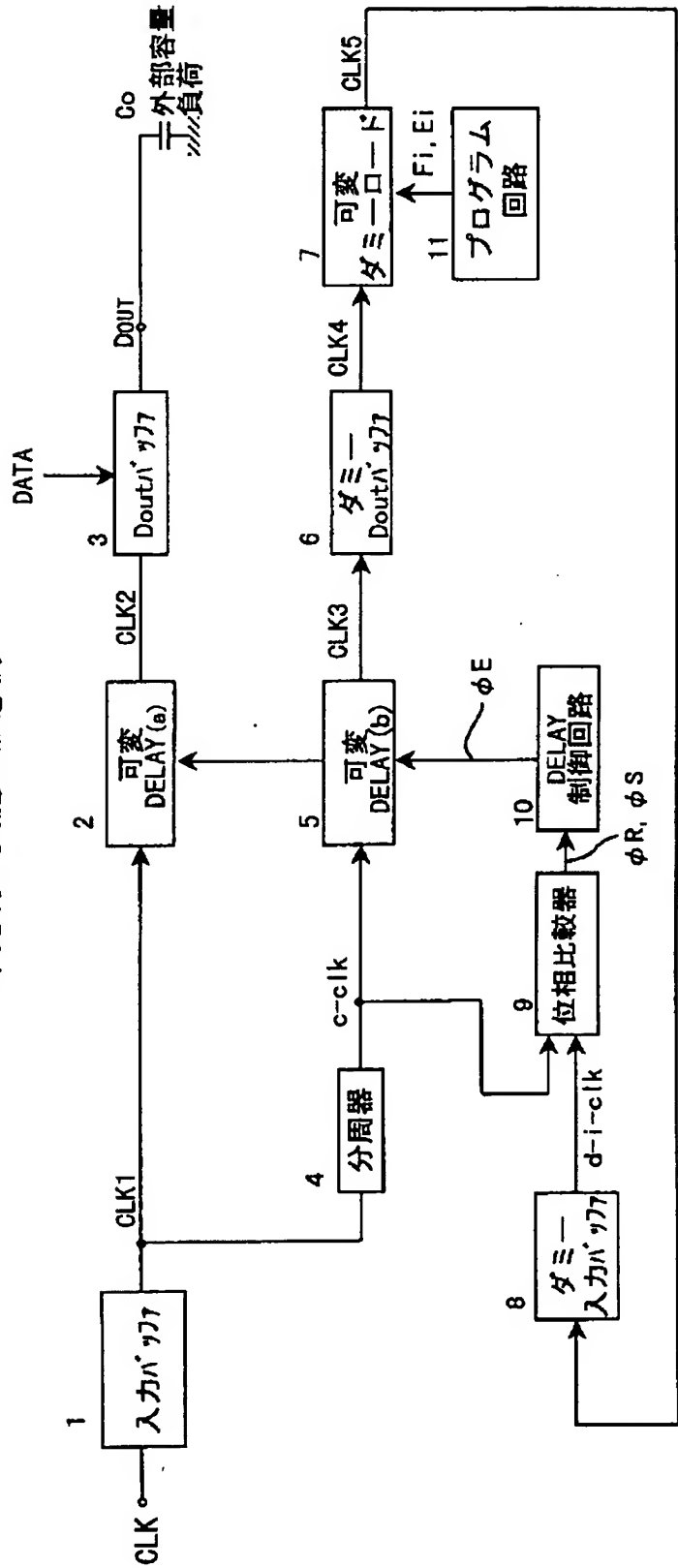
[Drawing 13]

位相比较部の動作を示す波形図

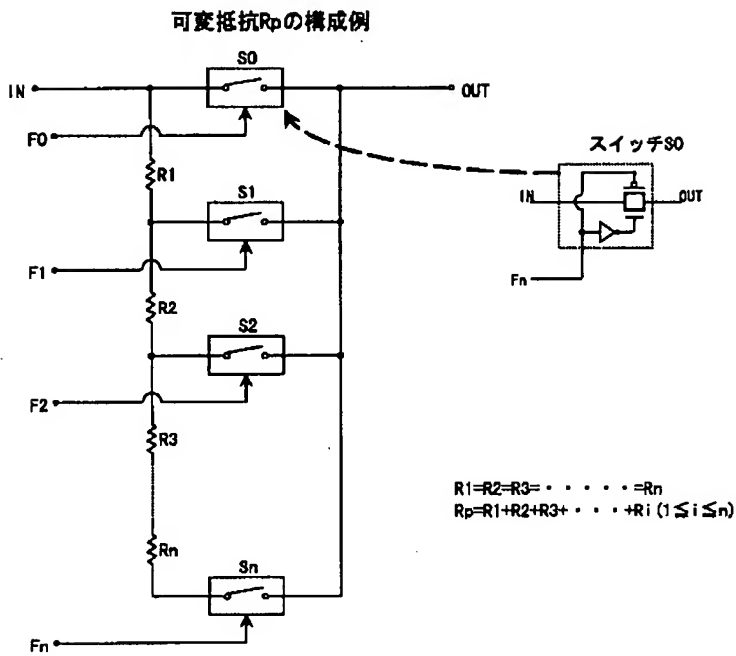


[Drawing 2]

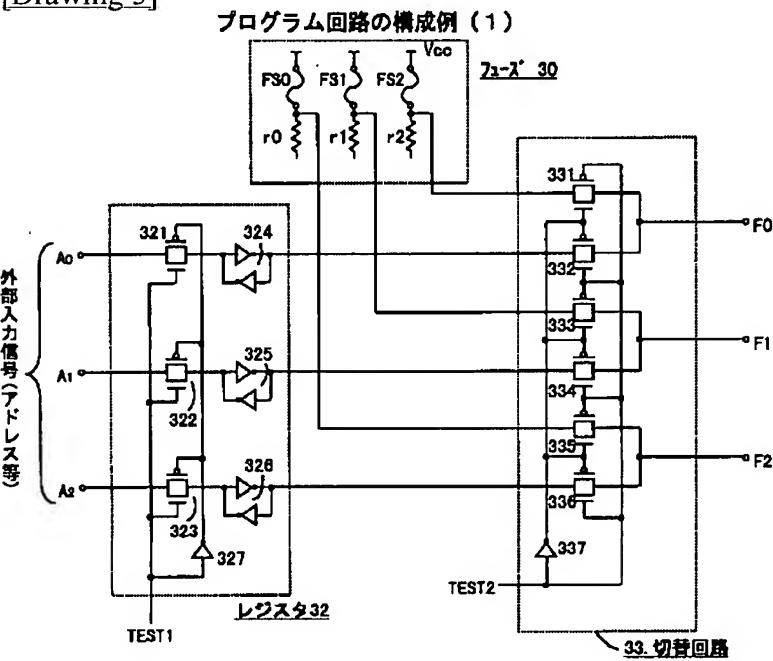
本発明の実施の形態例



[Drawing 4]

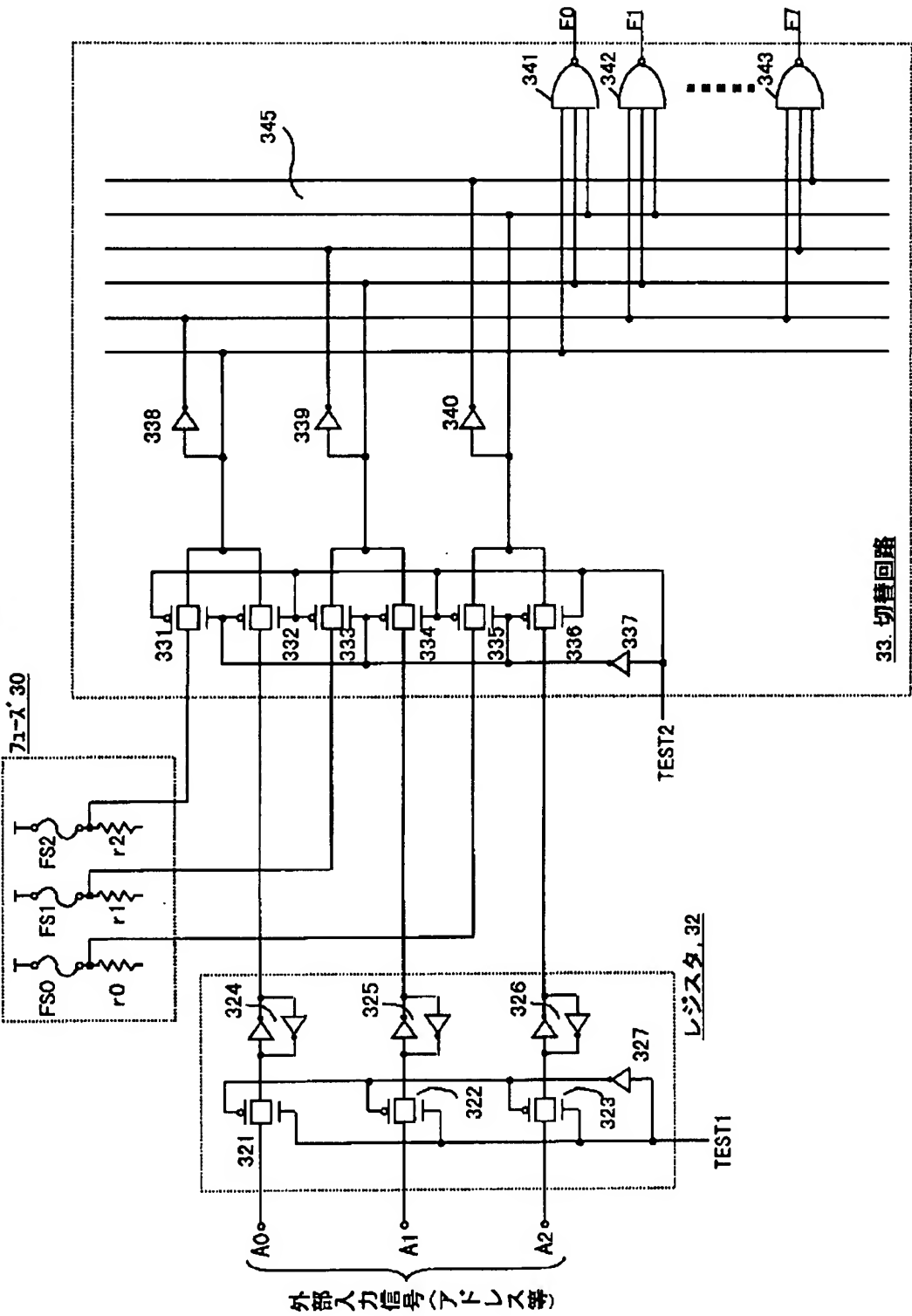


[Drawing 5]

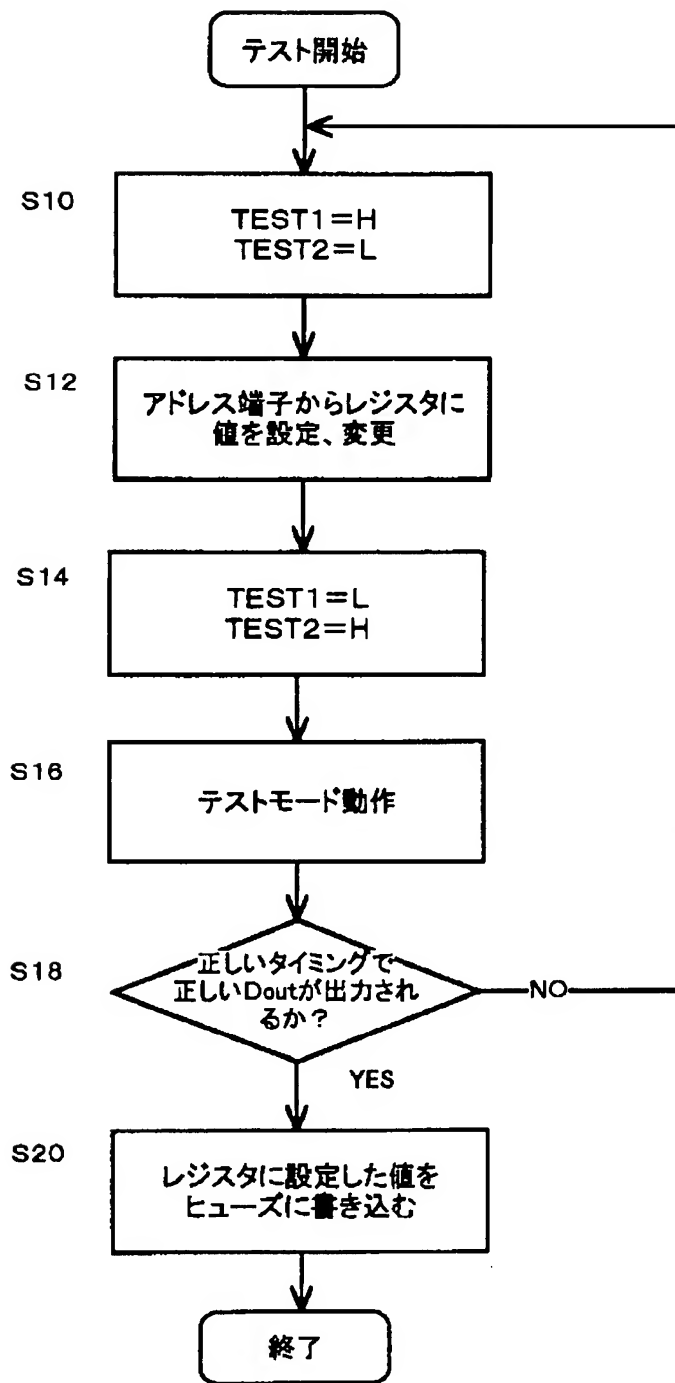


[Drawing 6]

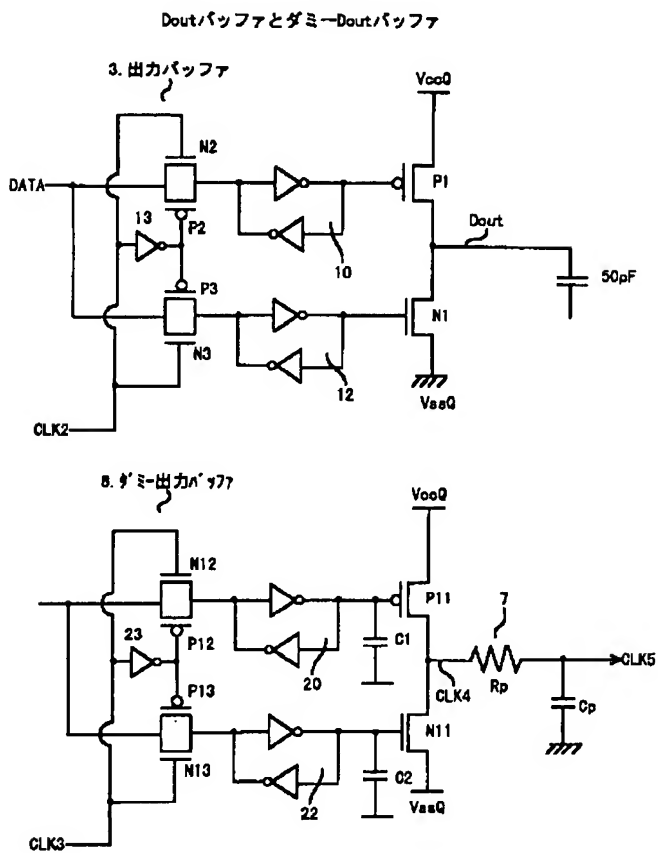
プログラム回路の構成例 (2)



[Drawing 7]

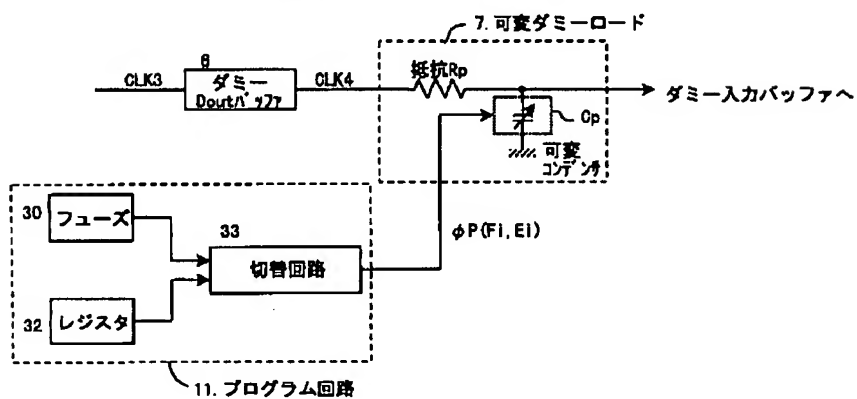


[Drawing 11]

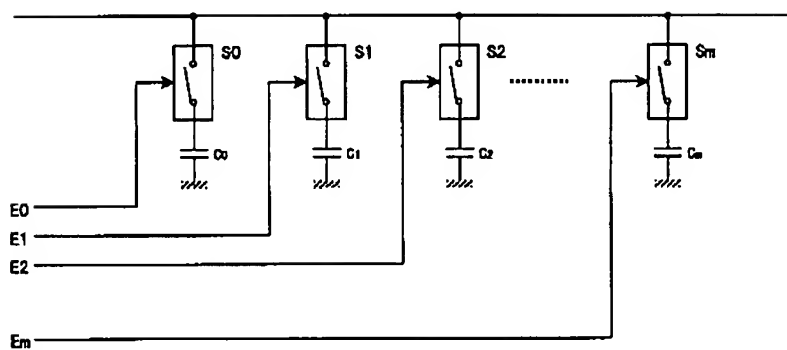


[Drawing 8]

### 可変ダミーロードの構成例(2)



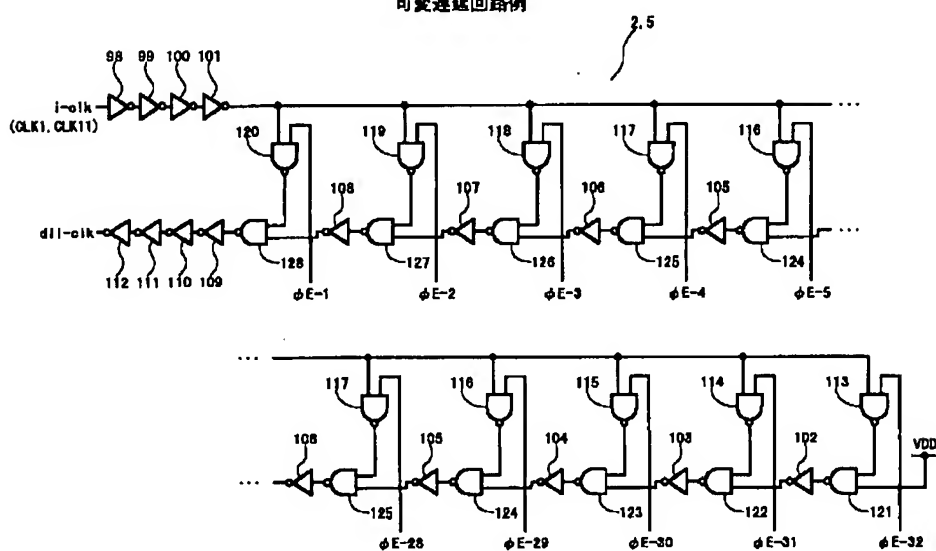
[Drawing 9]

可変コンデンサ $C_p$ の構成例

$$C_0 : C_1 : C_2 : \dots = 1 : 2 : 4 : \dots$$

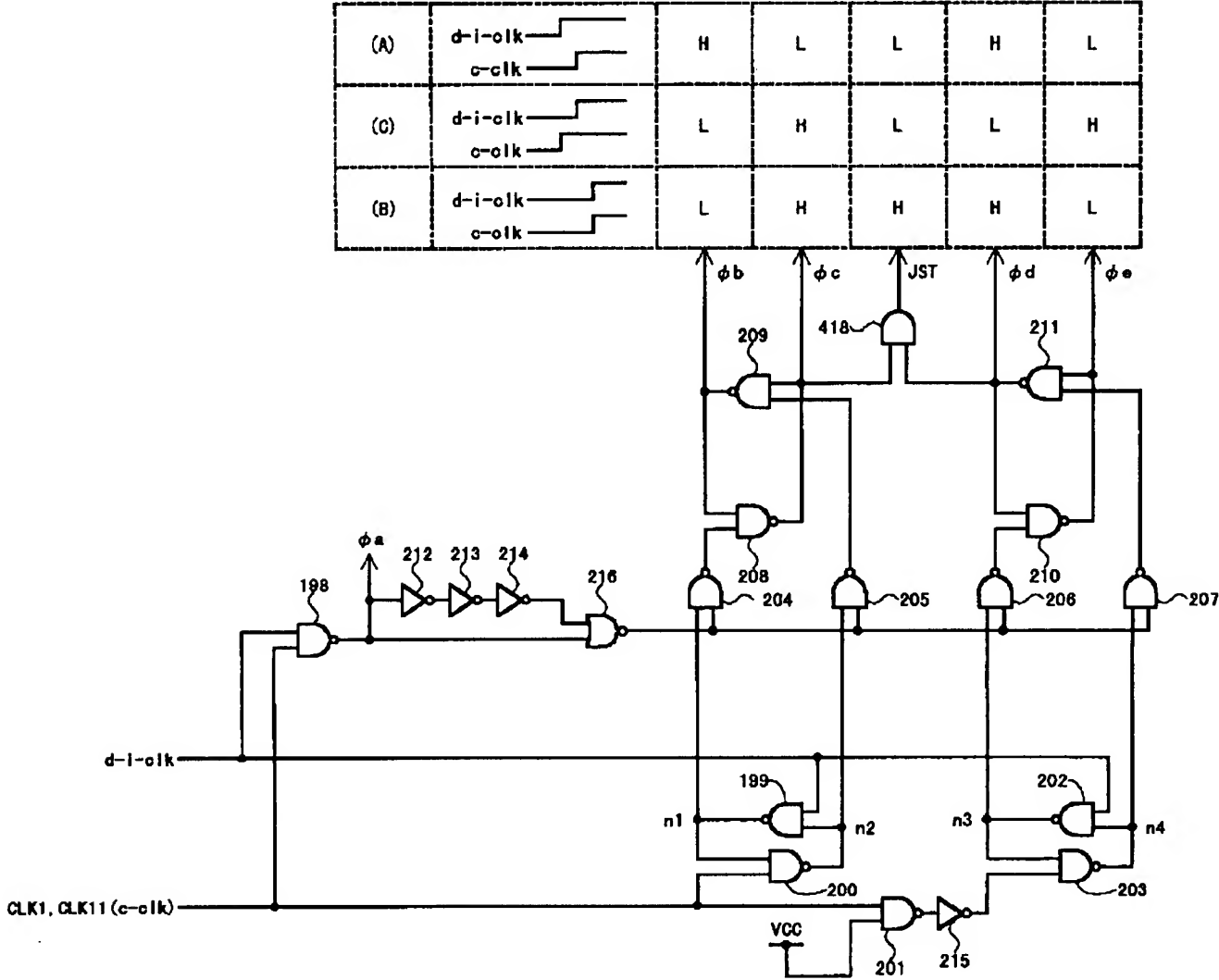
[Drawing 10]

可変遅延回路例



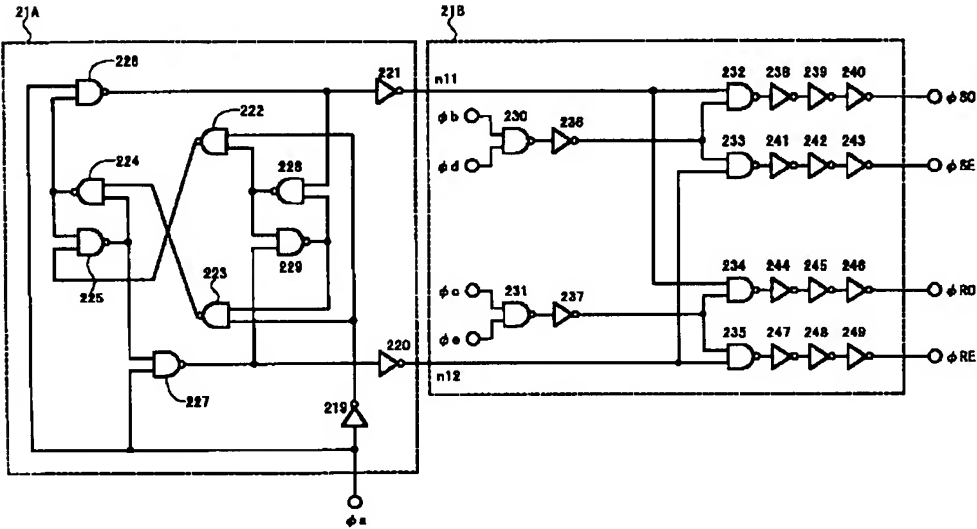
[Drawing 12]

位相比較回路の位相比較部



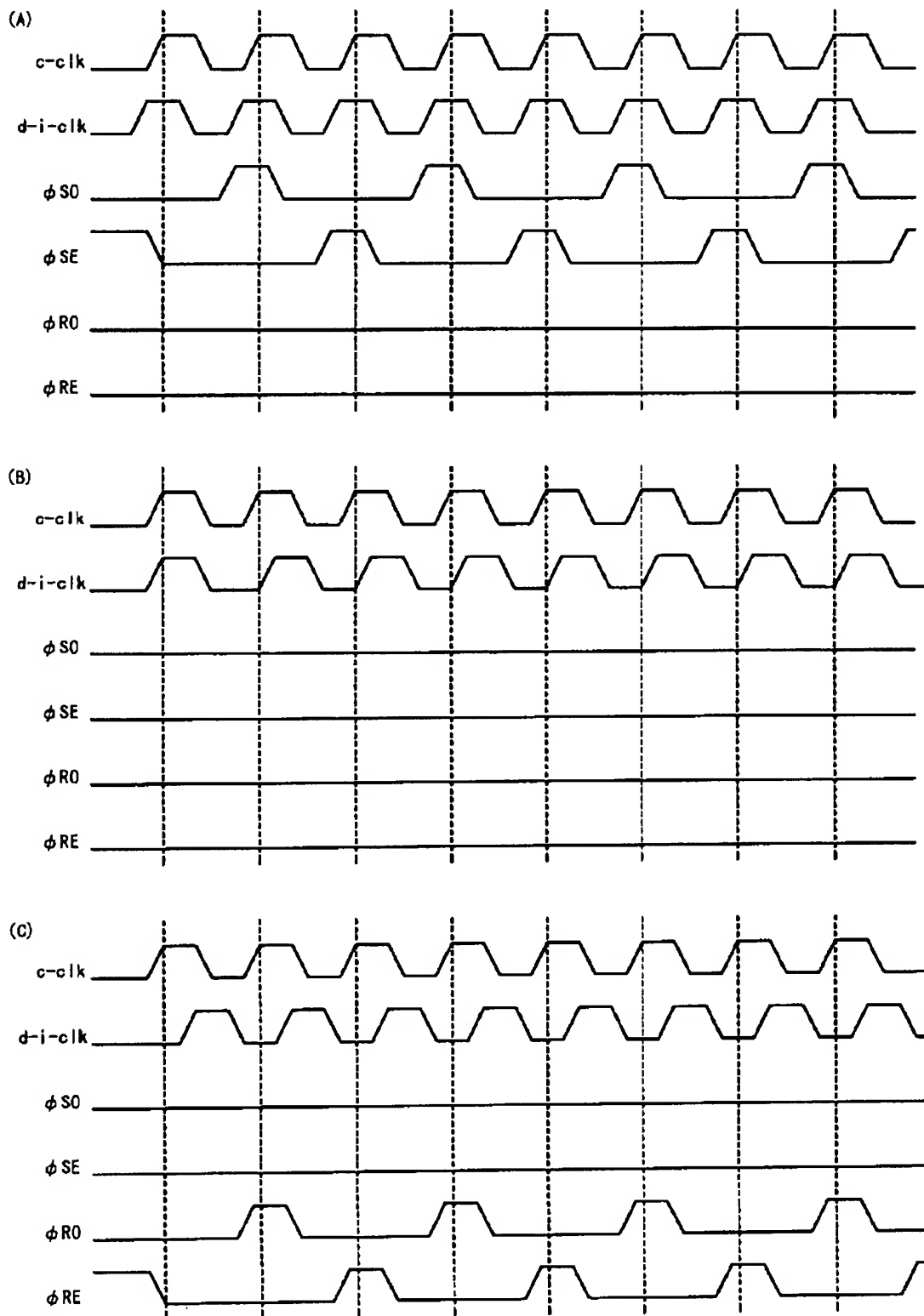
[Drawing 14]

位相比較回路の出力部の構成を示す回路図



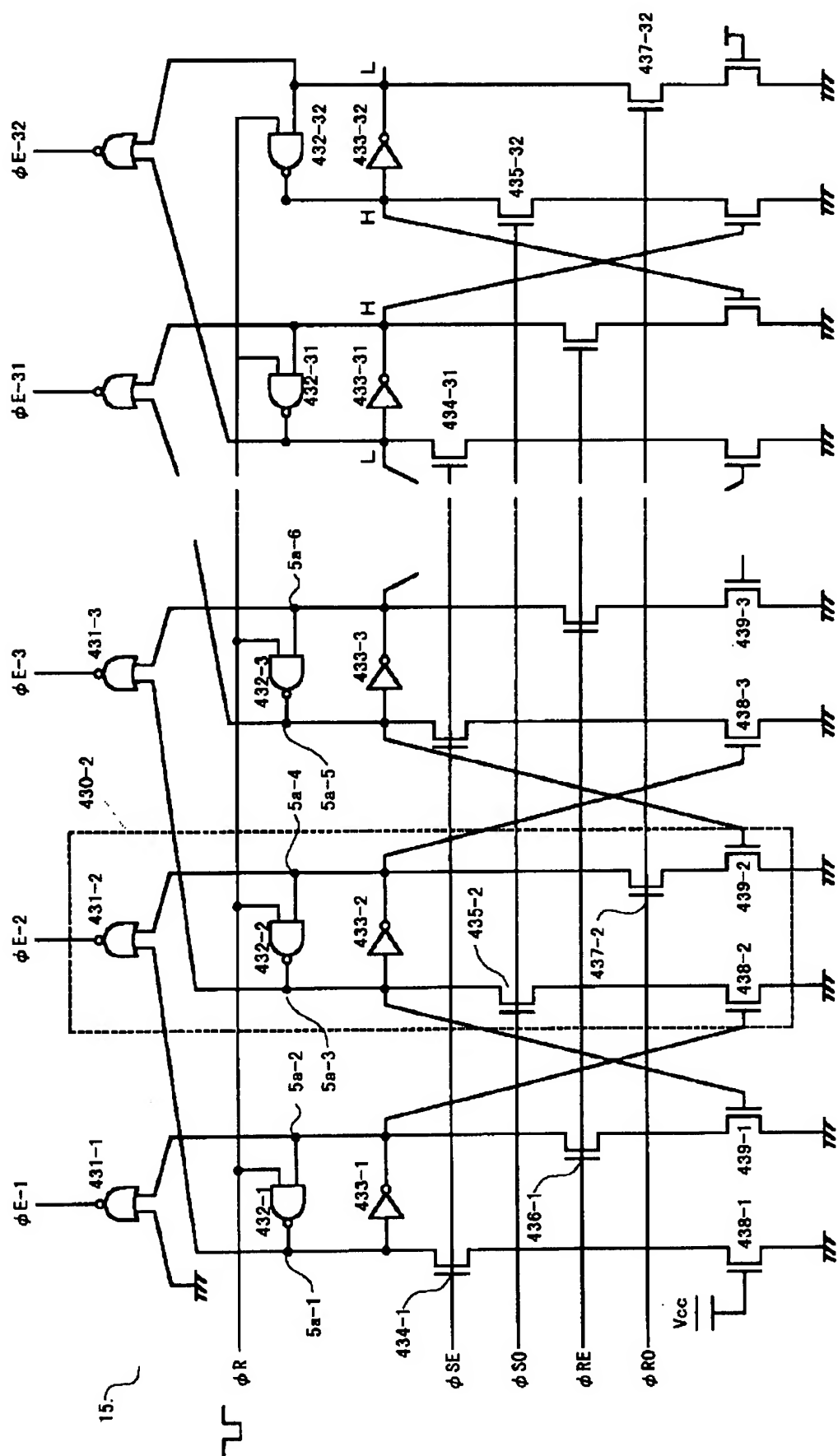
[Drawing 15]

位相比較回路の出力部の動作を示す波形図



[Drawing 16]

遅延制御回路の構成例



---

[Translation done.]